

5 FEB. 1971

KONINKLIJK NEDERLANDS
METEOROLOGISCH INSTITUUT

De Bilt

Verslagen

V - 228

J.J.M. van Gorp

Logica in de electronica

De Bilt, 1970

Kon. Ned. Meteor. Inst.
De Bilt



Publikationsnummer: K.N.M.I. V-228 (I).

<u>Inhoudsopgave</u>	blz.
Samenvatting	2
Gebruikte symbolen	3
1. Inleiding	4
2. Combinatorische schakelingen. En-poort, of-poort, inverter, NAND, dualiteits vgl. van de "Morgan", NOR, emittervolger, logica omzetter, dynamische poort	5
3. Sequentiële schakelingen	11
3.1. De ringteller	11
3.2. De besturings flip-flop	20
3.3. De geheugenschakeling	29
3.4. De monostabiele multivibrator	34
4. Logisch schema van de "Serializer"	38
5. Werking "Serializer" uit logisch schema	51
5.1. Korte toelichting bij logisch schema	51
5.2. In- en uitvoer van de "Serializer"	52
5.3. Het tijdsdiagram van de "Serializer"	53
6. Conclusies en aanbevelingen	57
Literatuur opgave	59

Samenvatting

Digitale signaalverwerking is een zeer dynamisch vakgebied. Het bezit een eigen omgangstaal: de logische algebra van Boole.

Aan de hand van een bestaande elektronische schakeling - "Serializer" - wordt in dit verslag aangegeven wat logica is. De elektronisch ontwikkelde schakelingen worden hierin door logische symbolen en mathematische uitdrukkingen vertaald. Het totaalbeeld wat daaruit ontstaat is een overzichtelijk logisch schema.

Met dit verslag wordt beoogd de functie van de elektronische schakeling d.m.v. een tijdsdiagram sneller toegankelijk te maken. Daarin zijn nl. de opeenvolgende gebeurtenissen in het tijdsdomein aangegeven.

Tenslotte is de gebruikte schakeling geëvalueerd.

Gebruikte symbolen

R	= elektrische weerstand	(ohm)
C	= elektrische capaciteit	(Farad)
Q	= elektrische lading	(Coulomb)
U	= elektrische spanning	(volt)
$\dot{U}(t)$	= spanningsverloop in de tijd	(volt)
\dot{U}	= differentiatie van spanning naar tijd, spannings toe- of afname	(volt.sec ⁻¹)
U_e	= spanning van de emitter van een transistor t.o.v. aarde	(volt)
U_b	= spanning van de basis van een transistor t.o.v. aarde	(volt)
U_c	= spanning van de collector van een transistor t.o.v. aarde	(volt)
U_{be}	= $U_b - U_e$ = spanningsverschil tussen de basis en emitter van een transistor	(volt)
U_{ce}	= $U_c - U_e$ = spanningsverschil tussen de collector en emitter van een transistor	(volt)
t	= tijd	(sec)
t_{in}	= inschakeltijd van een transistor	(sec)
τ	= RC-tijd van condensator op- of ontlading	(sec)
Δt	= $t_2 - t_1$ = tijdsverschil	(sec)
Δt_p	= pulsduur of pulsbreedte	(sec)
S	= symbool voor schakelaar	
T	= symbool voor transistor	

Logica symbolen

"0"	= logische nul = 0 volt
"1"	= logische een = +12 volt) gebruikte positieve logica
a, b	= algebraïsche uitdrukking voor ingangssignalen, kunnen "0" of "1" zijn
z	= algebraïsche uitdrukking voor uitgangssignaal, kan "0" of "1" zijn
$z(\tau)$	= uitgangssignaal na de schakelpuls
A,B,C,D.	= algebraïsche uitdrukking voor de 4 bits binair gecodeerde decimalen (BCD-code)
S	= "set" ingang van een sequentiële schakeling
R	= "reset" ingang van een sequentiële schakeling
T	= "toggle" ingang van een sequentiële schakeling
D	= "Data" ingang van een sequentiële schakeling

Hfdst. 1. Inleiding

In de digitale techniek wordt algemeen gebruik gemaakt van "logische schakelingen". Reeds in 1854 gaf G. Boole al aan hoe bepaalde logische functies verwezenlijkt kunnen worden. De naar hem genoemde "Boole algebra" is in opzet simpel, de toepassing ervan eist van de electronicus een zekere mate van wiskundig denken.

M.b.v. deze "logische algebra" zijn optimale schakelingen te ontwerpen, waarbij de elektronica toegepast dient te worden op de afzonderlijke bouwstenen ("black boxes").

"Boole algebra is het vereenvoudigen van schakelfuncties tot een basisvorm, die gebaseerd is op een minimum aantal elementen." (1) Sedert jaren zijn dan ook een groot aantal van deze "logische bouwstenen" op de markt. Om deze zinvol te kunnen toepassen is het noodzakelijk het ontwerp en werking van een schakeling logisch te beschrijven. Een aanzet hiertoe is dit verslag waarin een elektronisch ontworpen schakeling - "Serializer" - zal worden beschreven in zoveel mogelijk algemeen gebruikelijke logische detailschakelingen. Bij bestudering zal blijken dat de zgn. combinatorische schakelingen (d.i. uitgang hangt alleen af van een combinatie van de momentane ingangen) bijna allen logisch opgebouwd zijn. Hierop zal dan ook in dit verslag slechts schematisch worden ingegaan (zie hfdst. 2).

De meer ingewikkelde sequentiële (= volgorde) schakelingen (d.i. uitgang hangt af van momentane ingang en van de voorafgaande uitgang) vertonen verboden spanningsniveau's en onnodige vertragingstijden. In de binaire theorie wordt gekozen tussen twee mogelijke toestanden b.v. "0" = 0 volt en "1" = +12 volt en alle tussengelegen spanningsniveau's worden vermeden. Doet men dit dan zullen zgn. koppelcondensatoren niet voorkomen. Heeft men een zgn. differentiërend netwerk nodig dan ontwerpt men dit.

De in de "Serializer" veel gebruikte koppelcondensatoren vormen een extra differentiërend gedrag en een tijdelijke geheugen werking, waarvan in de ringteller en de besturings flip-flop gebruik gemaakt is. Deze bijzondere onderdelen zijn in dit verslag uitvoerig beschreven in hfdst. 3.

Een "Serializer" wordt gebruikt om aangeboden parallel informatie achter elkaar - in serie - te zetten. De parallel informatie is in een speciale versie:

B.C.D. = "binair coded decimal" d.w.z. binair coderen per decimaal gezet. Meestal is dit in de zgn. 1 2 4 8 code, wat gelijk is aan 2^n waarbij $n = 0, 1, 2, 3$. De informatie die achter elkaar (per decimaal) uit de "Serializer" komt, wordt op pons- of magneetband geregistreerd. Hiervoor is een besturingsschakeling nodig die zorgdraagt voor de synchronisatie.

Hfdst. 2. Combinatorische schakelingen

Hierbij is de uitgang z alleen afhankelijk van de wijze van combineren van twee of meer gelijktijdige ingangen (a, b, c etc.). Voor o.a. besturings doeleinden wordt veel gebruik gemaakt van zgn. en-poorten (AND^vs-gates). In de Serializer is gebruik gemaakt van de positieve logica met "0" ≡ laagste spanningsniveau = 0 volt (laag) en "1" ≡ hoogste spanningsniveau = +12 volt (hoog). Een en-poort kan verwezenlijkt worden met diodes:

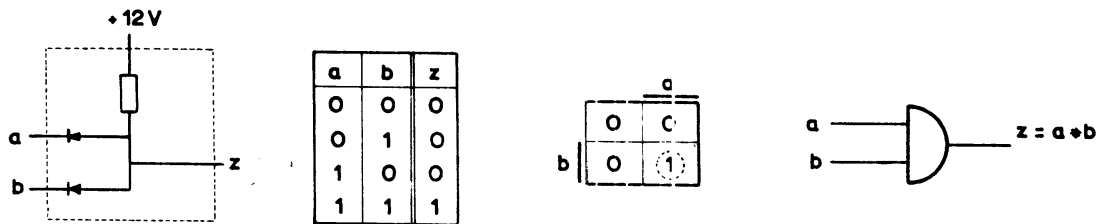


fig. 2.1. En-poort, achtereenvolgens elektronisch schema, waarheidstabel, "Karnaugh" diagram, logisch schema en vergelijking

Staat een van de ingangen (of beide) op 0 volt dan zal de betreffende diode geleiden en de uitgang naar 0 volt trekken. Zijn alle ingangen "hoog" dan alleen is ook uitgang "hoog".

Bij een of-poort (OR-gate) moeten wij de diodes omdraaien en de weerstand aansluiten op het laagste spanningsniveau d.i. in dit geval 0 volt:

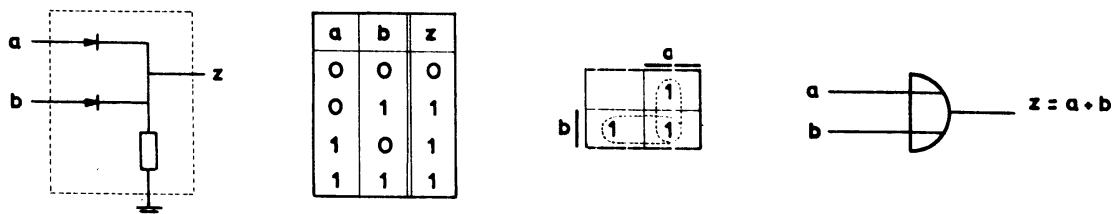


fig. 2.2. Of-poort, achter elkaar elektronische verwezenlijking, waarheidstabel, "Karnaugh" diagram, logisch schema en vergelijking

Staat een van de ingangen (of beide) op +12 volt dan zal de bijbehorende diode geleiden en de uitgang naar +12 volt trekken. Is een der ingangen "hoog" dan is ook uitgang "hoog". Bij de of-poort beschrijving valt op dat in Boole-algebra "1 + 1 = 1".

De beide configuraties van dioden zijn uit te breiden waardoor een groter aantal ingangen ontstaat, waarbij de schakelfunctie hetzelfde blijft. Het achter elkaar plaatsen van meerdere diode poorten levert echter belastingsproblemen. Iedere diode vormt ook in de doorlaatrichting een zekere weerstand (100 Ω), wat gepaard gaat met een spanningsverlies. D.w.z. dat voor een volgende trap niet meer de volle +12 volt beschikbaar is en dit was nu juist een eis voor de goede werking van een logische schakeling.

Uit de elektronica zal bekend zijn dat een transistor als versterkend element geschakeld kan worden. Daardoor is het mogelijk door tussenschakeling van een transistortrap de spanningsniveau's weer aan te passen. Doordat een transistor tevens fase omkering veroorzaakt spreekt men van een "inverter-schakeling".

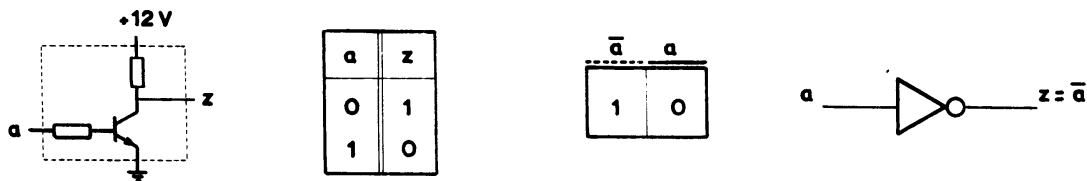


fig. 2.3. De inverter-schakeling

Is de ingang op +12 volt dan kan de transistor volledig (in verzadiging) uitgestuurd worden, waardoor de uitgang op 0 volt komt.

Voor volledige uitsturing moet voldaan worden aan formule (2.1.), zie fig.2.3.a:

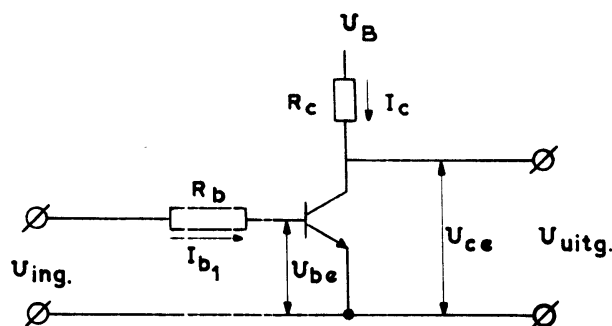


fig. 2.3.a. De transistor als schakelaar

$$I_{b1} > \frac{I_{c,max}}{h_{FE}} \quad (2.1)$$

Hierin is I_{b1} = basisstroom, waarbij de transistor open gaat. Deze "inschakelstroom" wordt niet onmiddellijk bereikt. Door de integrerende werking van de basis-emitter capaciteit is hiervoor een zekere inschakeltijd (t_{in}) nodig (3, p. 252).

$$I_{b_1} = \frac{U_{ing} - U_{be,verz.}}{R_b} \quad (2.2)$$

$I_{c,max}$ = collectorstroom, bij volledige uitsturing van de transistor. Daarbij is $U_{be} = U_{be,verz.} \approx + 0,6$ volt en $U_{ce} = U_{ce,verz.} = + 0,1$ volt (positief bij npn transistors, negatief bij pnp-transistors).

$$I_{c,max} = \frac{U_B - U_{ce,verz.}}{R_L} \quad (2.3)$$

Verder is h_{FE} = forward emitter gelijkstroom versterkings factor (ook wel met β aangegeven):

$$h_{FE} = \frac{I_c}{I_b} \quad (2.4)$$

Is aan formule (2.1) voldaan dan is de dissipatie in de open-transistor minimaal, dit is dus naast een logische- ook een veiligheids eis.

Is de ingang "laag" dan is uitgang "hoog" en omgekeerd. In de logica spreekt men van \bar{a} = niet a, de invector kan opgevat worden als een "NOT"-schakeling.

Door achter een en-poort een invector te schakelen krijgen wij een zgn.

"NAND-gate" = NOT - AND gate. (Nederlandse term nen is niet ingeburgerd.)

Door twee transistors in serie te schakelen krijgen wij ook de NAND-functie:

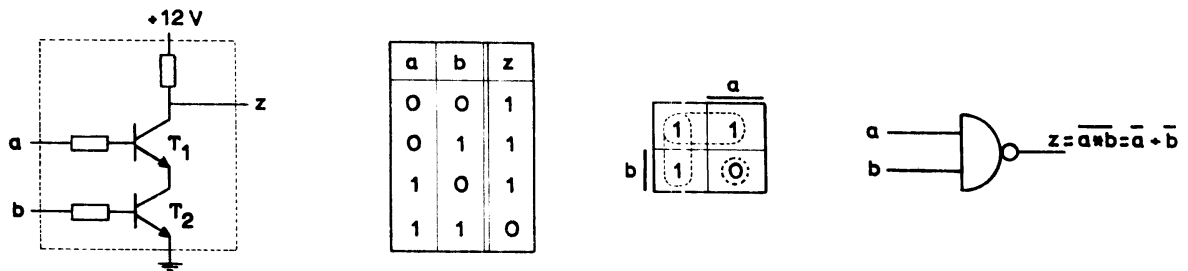


fig. 2.4. De "NAND-gate".

In de zgn. kanonieke vergelijking: $z = f(a, \bar{a}, b, \bar{b})$, is gebruik gemaakt van een van twee belangrijke regels van de "Morgan" nl.:

$$\overline{a \cdot b} = \bar{a} + \bar{b} \quad (2.5)$$

$$\overline{a + b} = \bar{a} \cdot \bar{b} \quad (2.6)$$

Hieruit is o.a. af te leiden dat een en-poort in de positieve logica overgaat in een of-poort in de negatieve logica. Wij spreken dan ook wel van "dualiteits" vergelijkingen.

In fig. 4.6. komt nog een soort NAND schakeling voor:

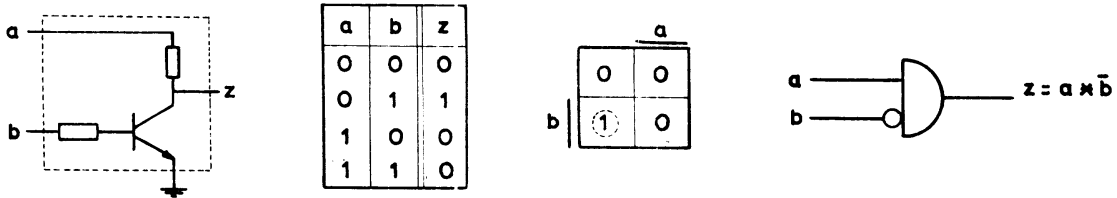


fig. 2.4.a. Een bijzonder type NAND-gate.

Door achter een of-poort een transistor te schakelen ontstaat een zgn. "NOR-gate". Ook dit kan weer verwezenlijkt worden met twee transistors, door deze parallel te schakelen:

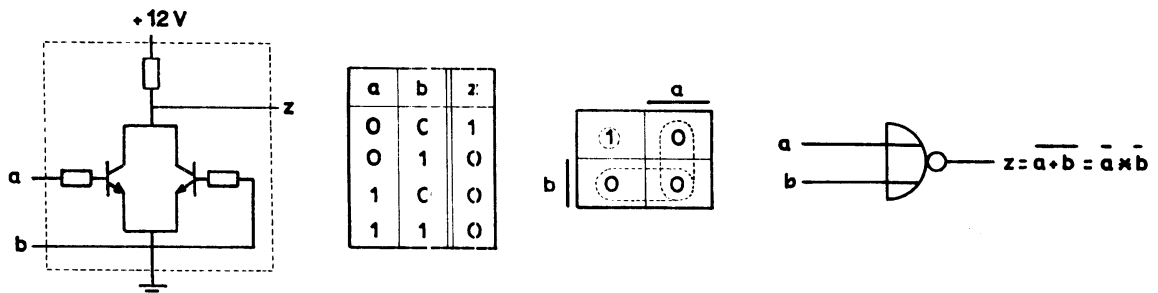


fig. 2.5. De NOR-gate.

In de elektronische uitvoering van de verschillende logische functies zit een trendmatige ontwikkeling naar steeds snellere schakelingen. Wij kunnen nl. een NOR-gate ook nog opbouwen uit een transistor met een stel parallel geschakelde basisweerstand (zie fig. 4.5., nr. 90). We spreken dan van RTL = Resistor Transistor Logica. Diodes als poorten voor een transistor vormen DTL. meerdere emittors van één transistor de ingangen vormen: TTL.

In de waarheidstabel komen telkens 2^n mogelijke combinaties voor, waarbij n aantal ingangen voorstelt. De factor 2 is afkomstig van de twee mogelijkheden in de binaire codering.

Wil men een bepaalde spanningsbron (tevens bron van informatie) niet te zwaar belasten zonder inverterende werking dan is de emitter volger een oplossing. Deze zijn in de "Serializer" schakeling te vinden o.a. nr. 17 (fig. 4.3) en nr. 73 (fig. 4.5).

De "Serializer" wordt aangesloten op een digitale voltmeter (d.m.v. merk Vidar, type 500). Hierin is negatieve logica toegepast, waarbij "0" = $(+1 \pm 2)$ volt en "1" = (-14 ± 5) volt. Door het gebruik van positieve logica in de "Serializer" is omzetting nodig (positieve logica uitvoering van d.v.m. is als optie verkrijgbaar). Tegelijk mag de Serializer geen te zware belasting voor de d.v.m. vormen. Een bijzonder soort transistorschakeling - vertaler - is daarom toegepast, zie schakeling nr. 5 in fig. 4.2. en nr. 1. in fig. 4.3.

In het voorafgaande zijn allerlei uitvoeringsvormen van "statische" poorten besproken. Een geheel ander type vormt de zgn. "dynamische" poortschakeling. Hierbij is sprake van een condensator ingang:

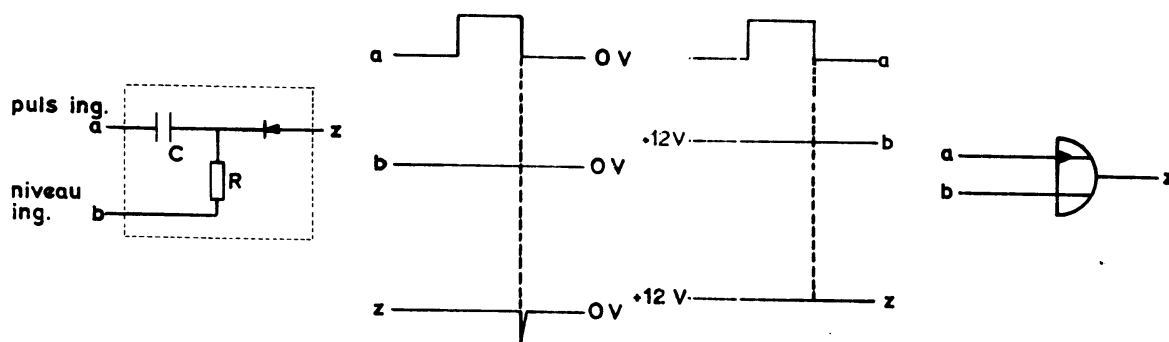


fig. 2.6. De dynamische of-poort.

Een snelle spanningsverandering (hoog frekwente componenten) wordt door de condensator volledig doorgelaten. De diode filtert positief gaande pieken. Nu hangt het van de b-ingang (voet van de schakeling) af of een negatieve flank wel of niet gedifferentieerd wordt. Indien $b = "0"$ ontstaat er, door $a = "0"$ (lees a wordt "nul"), op de uitgang z een negatief gaande piek. Het weer terugvallen naar "0" is bepaald door de RC-tijd. De "pulsbreedte" is dus in te stellen. Als $b = "1"$ wordt de uitgang geblokkeerd. Dit heet ook wel "inhibited" of "disable" houden. Een statische (normale) of-poort vertoont ook deze blokkeringswerking. Is nl. een van de ingangen "1" dan staat de uitgang geblokkeerd in de "1" toestand. Door deze overeenkomst wordt de schakeling in fig. 2.6 een dynamische of-poort genoemd. Gebruikt men tenslotte van de piekspanning de teruggaande positieve flank, om daarmee bv. een geheugen te "setten", dan is er sprake van een vertraging (= "delay") tijd. Men komt dan ook wel de naam "delayed or-gate" tegen in de digitale literatuur.

Deze blokkeringswerking wordt in besturingsschakelingen toegepast om een informatie op een vooraf bepaald tijdstip door te laten en voor de rest van de tijd te blokkeren. Zie als voorbeeld fig. 4.2. nr. 26. De "NAND" bezit evenzo een blokkeringswerking, zie fig. 4.4. nr. 55.

Met "OR" en "NOR" poorten kunnen bepaalde besturingsschakelingen uit meer dan een ingang bediend worden, zie fig. 4.5. nr. 90 en fig. 4.6. nr. 106.

Opm. Het RC-netwerk in fig. 2.6. differentieerd zowel positieve als negatieve flanken van de klokpuls. Het is veiliger (storingsgevoeligheid) de niet gebruikte positieve piekspanning te elimineren door een diode in doorlaat over R aan te brengen.

Hfdst. 3. Sequentiële schakelingen

Hierbij is de uitgang (z) niet alleen afhankelijk van de momentane ingangen (a, b, etc.) maar tevens van de voorafgaande uitgang. In formule $z(\tau) = f(a, b, \dots, z)$ waarin τ de schakeltijd voorstelt. In de logica is het gebruikelijk alle schakelingen te laten reageren op òf positieve- òf negatieve flanken van een zgn. "klokpuls". De variabelen a, b en z hebben dan betrekking op de toestand van in- en uitgang voor de positieve klokpuls terwijl $z(\tau)$ de toestand van de uitgang aangeeft na de positieve flank van de klokpuls.

Bij onderstaande schakelingen zal blijken dat wij zowel rekening moeten houden met de positieve- als ook de negatieve flank van de klokpuls. De breedte van de klokpuls (tijd tussen pos. en neg. flank) blijkt van invloed te zijn op de werking van ringteller en besturings flip-flop.

3.1. De "ringteller" (zie fig. 3.1.1. en 2, p. 203).

De werking hiervan en de daarbij gebruikelijke termen zullen hieronder in volgorde van aktie behandeld worden. Achtereenvolgens doorloopt de ringteller (= ringcounter) de volgende fasen:

- a. "Preresetten" = vooraf nul stellen = "Clearing" van alle uitgangen;
- b. "Presetten" = vooraf één stellen van bv. eerste uitgang;
- c. Doorschuiven van de "1" informatie van ene uitgang naar volgende d.m.v. een klokpuls (ook wel stappuls genoemd).

Bekend verondersteld wordt dat een ringteller een rondgekoppeld schuifregister is en dat dit een elektronische vervanger is van een zgn. stapenschakelaar. Deze laatste is vanwege mechanische werking langzamer en minder betrouwbaar. De gehele ringteller werkt als schuifregister bit schakelt volgende bit.

In het vervolg zal de meer passende benaming "10 bits schuifregister" (s.r.) gebruikt worden.

- a. Vooraf schoonvegen gebeurt door het dichtdrukken van transistor T_1 die de voedingsspanning (+12V) op de gehele schakeling doorgeeft. Deze transistor is geschakeld als emittervolger. Een eigenschap hiervan is: $U_{uit} = U_{in} - U_{be}$. Bij volledige uitsturing van T_1 komt dan $(U_e)_{T_1} = +11,4$ volt ter beschikking aan de schakeling. Tijdens dit onderbreken komen alle uitgangen van het schuifregister op 0 volt ("0"). Zodra de voedingsspanning weer opkomt (T_1 open sturen), komt het eerste register in (A: = "1"). D.w.z. op dat moment wordt het "eerste bit gepreset".

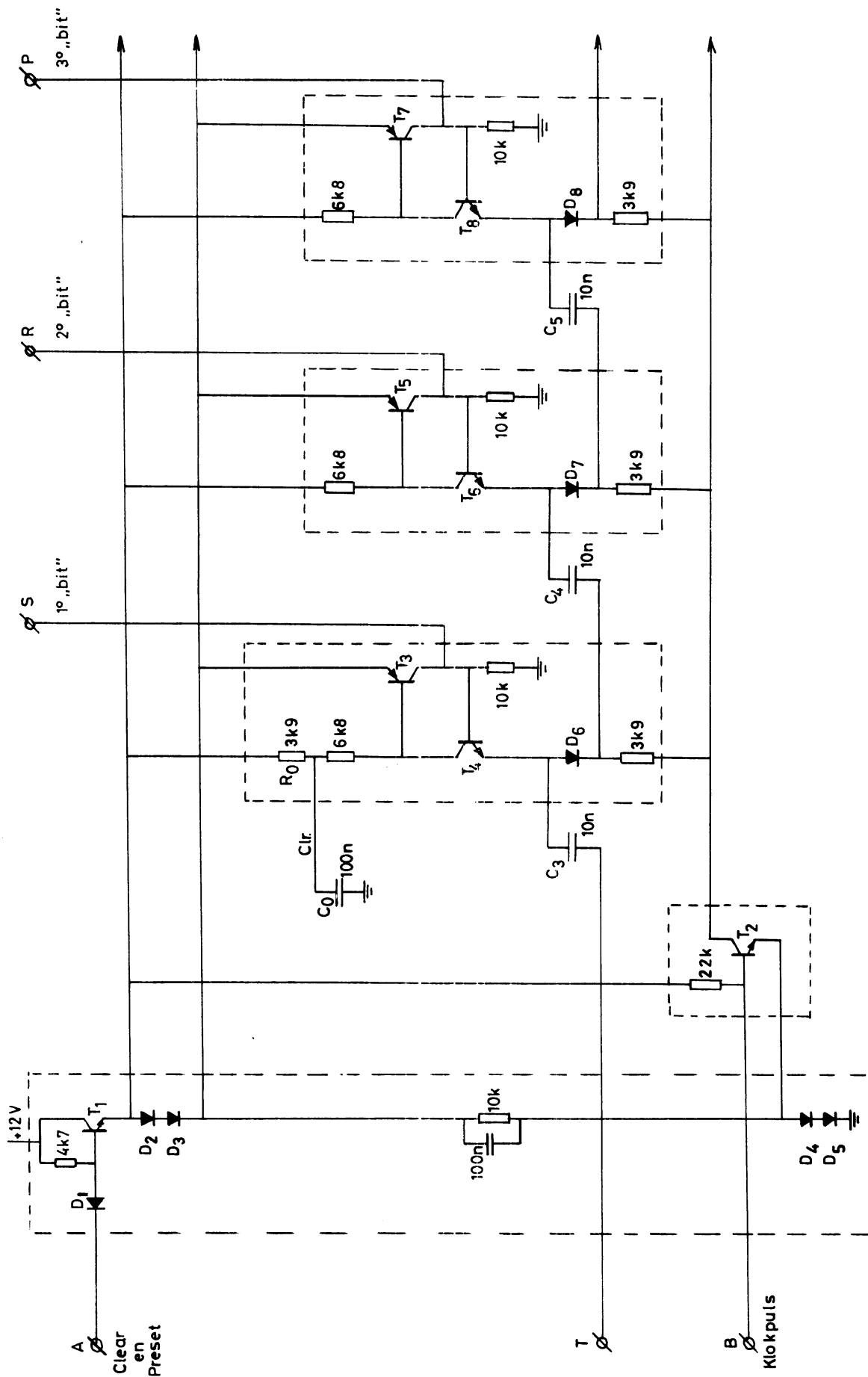


fig. 3.1.1. De „ringteller“, 3 van 10 „bits“ getekend.

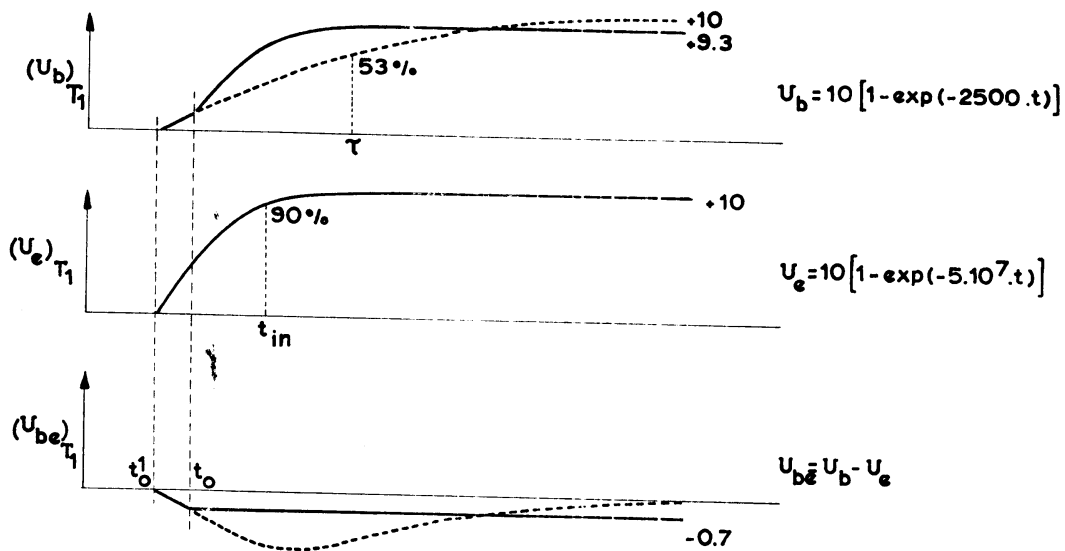
b. Dit presetten gebeurt elektronisch door een condensator (C_0) oplading. Dit veroorzaakt een vertraagde spanningstoename aan de basis van een p.n.p. transistor (T_3) t.o.v. een snellere spanningstoename op de emitter van dezelfde transistor.

De emitter van T_3 is met twee dioden (D_2 en D_3 in doorlaat) via de emittervolger T_1 verbonden met de voedingsspanning (+12V). D.w.z. deze emitter kan hoogstens tot $\approx +10V$ komen.

Verder stellen wij dat de condensator C_0 op tijd t_0 leeg is, d.w.z. wij kunnen beginnen met een spanning van 0 volt op alle punten van de schakeling.

Of aan deze beginvoorwaarde voldaan is hangt af van de voorgeschiedenis van de condensator C_0 in de schakeling, deze kan als geheugen werken. Een opgeladen condensator zal zich - afhankelijk van de "ontlaad RC-tijd" - snel of langzaam ontladen. Dit betekent dat hij gedurende een bepaalde tijd op spanning blijft en dit nu is een te gebruiken informatie (= geheugenwerking).

Schematisch is het presetten van het eerste bit van het s.r. als volgt in te zien:



t_0' = inschakel tijdstip van transistor T_1 (voedingsspanning). Aangenomen beginvoorwaarden: alle spanningen nul volt.

t_1 = inschakel tijdstip van pnp-transistor T_3 (1^e bit van s.r.)

t_{in} = 90% - tijd van npn-transistor T_1 (voor BSY76 ≈ 40 nsec).

τ = 63% - tijd van C_0 oplading over R_0 (≈ 400 usec).

fig. 3.12. Spanningsverloop U_{be} van transistor T_3 , die het inkomen van het eerste bit van het schuifregister bepaald.

Bovenstaande figuur is - om het effect beter uit te laten komen - niet op schaal getekend. Het in- en uitgangssignaal is als afkomstig van een "ideale schakelaar" beschouwd.

Bij een $U_{be} \approx -0,7$ volt komt T_3 in geleiding, dit is op tijdstip t_1 . We zien in de figuur dat er een tijdsvertraging ($t_1 - t'_0 =$ "delay" optreedt die een functie is van de inschakeltijd (t_{in}) van transistor T_1 en oplaadtijd (τ) van condensator C_0 .

De inschakeltijd van een pnp transistor type BSY76 is te vinden in (3, p. 252). Voor een $I_{B1} \approx 2,5$ mA en $I_c \approx 10$ mA is deze $t_{in} \approx 40$ nsec. Doordat verder $(t_{in})_{90\%} \approx 2,3 \cdot (\tau)_{63\%}$ is hieruit de functie $U_e(t)$ te vinden, zoals rechts naast de figuur is aangegeven.

De oplaadtijd τ is het produkt van R_0 en C_0 en bedraagt ≈ 400 μ s. Omdat algemeen geldt $U_t = U_{t=\infty} [1 - \exp(-t/\tau)]$, is $U_b(t)$ naast de figuur aangegeven.

Door de eis $U_{be} = U_b - U_e = -0,7$ volt is te berekenen dat de "delay" $t_1 - t'_0 \approx 1,2$ nsec bedraagt. In de praktijk is deze tijd te verwaarlozen tegen de inschakeltijden van de gebruikte transistors. Dit is dan ook wel onmiddellijk uit de figuur te zien. De $U_e(t)$ loopt zeer snel op naar de vereiste 0,7 volt in die tijd is nl. $U_b(t)$ als constant te beschouwen. Dat betekent $t_1 < t_{in}$.

Uit fig. 3.1.2. is tevens te zien dat transistor T_3 binnen korte tijd (orde van nsec) volledig uitgestuurd wordt. Dit betekent dat $(U_{ce})_{T_3} \approx 0,1$ volt en dus de $(U_b)_{t_4} \approx 10$ volt. Door de "clearing" zijn alle punten van de schakeling op "0" (= 0 volt) gebracht dus ook $(U_e)_{T_4} = 0$ V. Dit zou betekenen $(U_{be})_{T_4} = U_b - U_e = +10$ V, maar omdat T_4 een npn-transistor is wordt deze volledig uitgestuurd met een $U_{be} \approx +0,6$ volt, en waardoor $(U_e)_{T_4} \approx +9,4$ volt. Dit is een uitgang van een bit van het s.r. naar een "dynamische poort" waarop ook de klok- of stappuls is aangesloten, die het tijdstip van "doorschuiven" bepaalt. De andere bits van het schuifregister zitten eveneens op zo'n dynamische poort aangesloten. Zijn de transistors in een bit van het s.r. geleidend dan blijken de genoemde ingangen van de dynamische poorten op een positieve spanning (+9,4 V) te staan. Bezit een bit van het s.r. informatie "0" (transistors niet geleidend) dan is ook uitgang van dat bit naar de dynamische poort op 0 volt.

Door het inschakelen van de voedingsspanning blijkt uit bovenstaand verhaal dat het eerste bit van het s.r. "1" (in dit geval = + 10 V) is geworden. Pas hierna is een "1" informatie aanwezig in het schuifregister om door te schuiven (anders wordt slechts "0" doorgegeven), vandaar

dan ook de naam "presetten" d.w.z. vooraf een-stellen.

c. Doorschuifwerking

Voor het doorgeven van de "1" informatie van het 1e naar het 2e bit van het s.r. blijkt, zoals wij hieronder zullen zien, een blok- of een piekspanning toegevoerd te moeten worden op connector punt B. Er wordt meestal een "negatief gaande piek" daarop aangeboden. Uit fig. 3.1.1. is te zien dat daarbij de in geleiding staande transistor T_2 gedurende deze pulstijd wordt dichtgedrukt. De negatieve piek moet dan tenminste tot beneden $(U_b)_{T_2} = (U_e)_{T_2} = +1,4$ volt (vanwege de twee diodes naar aarde) zakken. Omdat twee logische niveau's voorhanden zijn nl. +12 V (= voeding = "1") en 0 V (= aarde = "0") neemt men een puls gaande van +12 V naar 0 V.

Het is niet noodzakelijk om een zgn. "gedifferentieerde negatief gaande puls" - kortweg een negatieve piekspanning - te gebruiken. Wel eist de uitvoering van dit schuifregister, vanwege zijn monostabiel gedrag (condensator geheugen), een blok of piek met gedefinieerde maximale breedte (voor uitleg zie verderop).

Om de werking van de ringteller in fig. 3.1.1. duidelijker uit te laten komen nemen wij een blokfunctie tussen +12 V en 0 V met een breedte $< 2,5$ msec. Dit bleek de maximale blokbreedte te zijn waarop het schuifregister wil doorschuiven.

Het blijkt dat op de negatieve flank (+12 V \rightarrow 0 V) het eerste bit naar 0 V gaat en bij de teruggaande positieve flank het tweede bit opkomt (uitgang: = +10 V = "1"). Hoe is dit te verklaren?

Onder b is behandeld dat door het presetten van het eerste bit de transistors T_3 en T_4 in geleiding gebracht zijn. De $(I_c)_{T_4}$ loopt via D_6 , R_6 , T_2 en D_4 , D_5 naar aarde. Door nu T_2 dicht te drukken wordt de $(I_c)_{T_4} = 0$. Dit betekent geen spanningsval meer over R_0 en R_1 , daardoor wordt $(U_b)_{T_3} = +10$ volt en omdat T_3 een pnp transistor is gaat deze dicht. Daardoor komt uitgang van het eerste bit op aardpotentiaal: = "0". Ook blijkt de "kettingreactie" van T_3 naar T_4 weer op te treden, $(U_{be})_{T_4}$ wordt nl. negatief, waardoor ook T_4 dicht gaat.

Om het opkomen van het tweede "bit" van het schuifregister door de positieve flank van de "klokpuls" te kunnen verklaren is het nodig te letten op de lading (c.q. spanning) van de koppelcondensator C_4 die verbinding vormt tussen 1e en 2e "bit". Doordat voor de klokpuls het 1e "bit" in geleiding was is deze C_4 aan die zijde - b, in fig. 1 - positief opgeladen. Bij het negatief gaan van de klokpuls zagen wij dat T_2 en daardoor ook T_4 zich sluiten. Dit betekent dat het circuit gevormd door C_4 , D_7 , R_6 en R_{10} "zwevend" komt.

De condensator C_4 zal zich dus trachten te ontladen. Door de in sper-richting staande diode D_7 zal dit langs deze weg zeer langzaam verlopen. Er is echter nog een stroomweg naar C_4 aanwezig, via basis-emitter overgang van T_6 , R_6 , R_9 , T_2 , D_4 en D_5 . De condensator C_4 houdt na het dichtgaan van transistor T_2 nog een restlading d.w.z. een negatieve spanning op punt a_2 . Uit metingen bleek dit punt a_2 bij het sluiten van de klokpuls transistor T_2 van $\approx +1,9$ volt naar $\approx -0,7$ volt in $\approx 2,4 \mu\text{sec}$ en daarna in $0,2 \mu\text{sec}$ te stijgen naar $\approx -0,4$ volt, zie fig. 3.1.3.

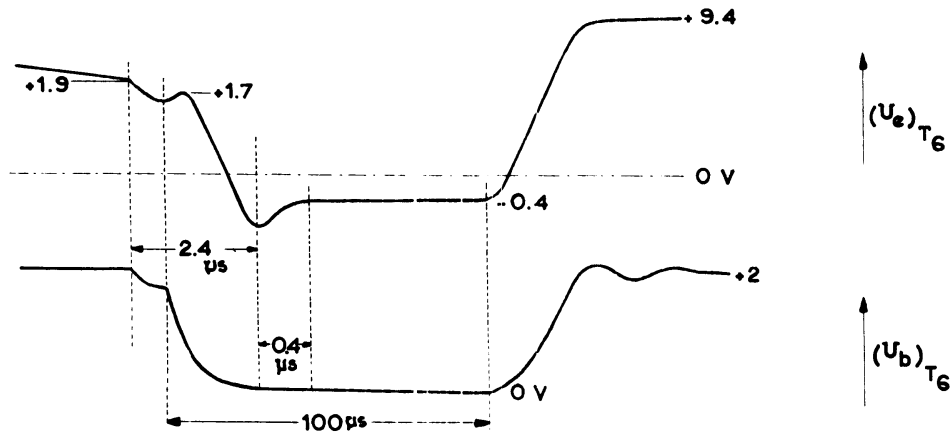


fig. 3.1.3. Spanningsverloop aan voet van een schuifregister nadat het daaraan voorafgaande s.r. in geleiding was.

Omdat het 2e "bit" voor de klokpuls "0" was, d.w.z. $(U_b)_{T_6} = 0$ volt, volgt uit figuur 3.1.3. dat tijdens de klokpuls transistor T_6 zwak in geleiding staat. De koppelcondensator C_4 zal zich ook hierdoor zeer langzaam ontladen (lekstroom door T_2).

Bij het weeropenstellen van T_2 door de positief gaande klokpuls, zal de geblokkeerde stroomweg via basis-emitter overgang van T_6 , R_6 , R_9 , T_2 , D_4 en D_5 geopend worden. Dit betekent dat de reeds zwak geleidende T_6 volledig in geleiding komt. Daarna volgt ook de complementaire transistor T_7 met als gevolg dat het 2e "bit" "1" wordt. De andere koppelcondensatoren zijn voor, tijdens en na de klokpuls ongeladen zoals uit fig. 3.1.4. te zien is. De andere "bits" van het schuifregister blijven dus op "0". In logica termen: er wordt voor deze "bit" een "0" aangeboden en ook doorgeschoven.

Voor de goede werking van het schuifregister moet de klokpulsduur (Δt_p) voldoen aan: $4 \mu\text{s} < \Delta t_p < 2,5 \text{ ms}$. Zie ook de opmerking bij fig. 3.1.4.

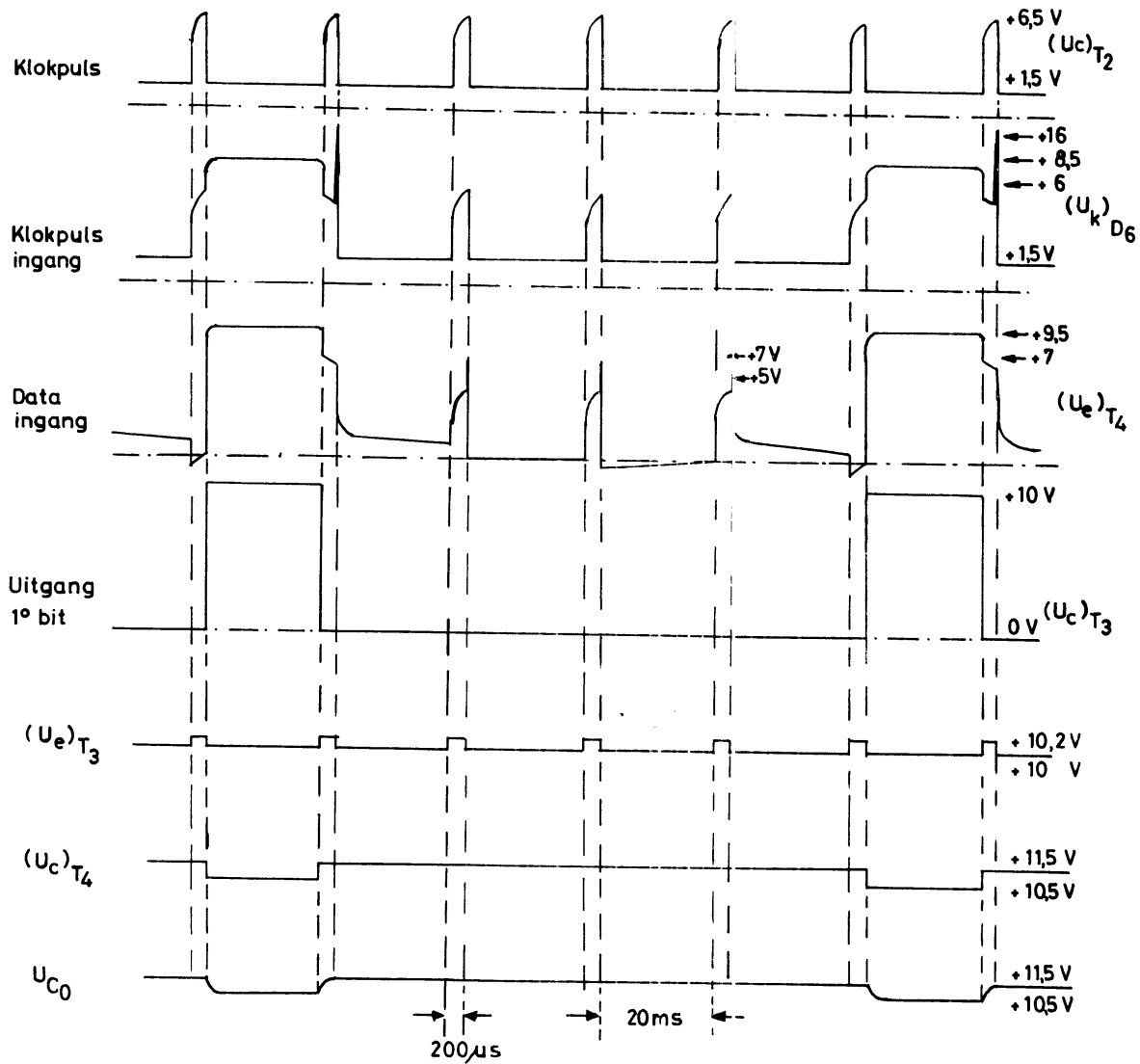


fig.3.1.4. Spanningsverloop in schuifregister tijdens doorschuiven, 5 bits rondgekoppeld.

Opm.: De geheugenwerking van de koppelcondensatoren $C_3, 4$ etc. ("meester-slaaf"-schakeling) komt tot uiting bij de registratie van $(U_k)_{D_6}$ en $(U_e)_{T_4}$. Hier is nl. tijdens de klokpuls een langzame spanningsdaling vanaf $\approx +7$ volt te zien.

Door het aanbrengen van de oscilloscoop op deze punten ontstaat een extra "lekweg" naar aarde. De eis $\Delta t_p < 2,5$ msec is daarom niet stringend.

Hieraan beantwoordt een zgn. "gedifferentieerde puls". Deze bezit per definitie een scherpe voorflank en de achterflank is bepaald door de RC-tijd van het gebruikte differentiërend netwerk.

Uit voorgaande zal duidelijk zijn dat tijdens de klokpuls de "koppelcondensatoren" werken als geheugen. Er moet echter dan wel bij opgemerkt worden dat dit geheugen een "monostabiel" gedrag vertoont, d.w.z. eindige tijd bruikbaar. De ontlaadtijd van de koppelcondensator C_4 laat zich moeilijk berekenen doordat deze ondermeer bepaald wordt door de in de tijd toenemende "collector-emitter weerstand" van T_6 omdat de $(U_{be})_{T_6}$ afneemt van $\approx +0,7$ volt naar 0 volt. Er is sprake van een "R(t) C_1 tijd". De differentiële weerstand R(t) volgt uit de diode vgl. Tijdens het "1" zijn van het 2e bit van het s.r. zullen zich twee condensatoren opladen nl. C_4 en C_5 . Bij het sluiten van T_2 heeft de opgeladen condensator C_4 geen invloed omdat deze de emitter van T_6 positief houdt gedurende ≈ 400 μ sec. Hij zal zich nl. ontladen over D_7 , R_6 en R_{10} . De condensator C_5 houdt echter de emitter van T_8 negatief en heeft dus wel effect bij het weer opensturen van T_2 .

Conclusies

Het besproken schuifregister bezit de volgende eigenschappen:

- a. Het vooraf nulstellen van alle uitgangen gebeurt door het onderbreken van de voedingsspanning op de gehele schakeling.
- b. Het vooraf één stellen van het eerste bit komt tot stand door een langzame condensator oplading bij het op spanning brengen van de schakeling. Zowel "clearing" als "presetten" zijn snelle processen in de orde van enkele nsec.
- c. Het doorschuiven van de informatie van de ene trap naar de volgende gebeurt d.m.v. een stappuls die aan bepaalde eisen moet voldoen:
 - a. Pulsbreedte $4 \mu s < \Delta t_p < 2,5$ msec.
 - b. Pulsherhalingsfrequentie < 50 kHz.
 - Er is een tijdsvertraging aanwezig tussen het naar "0" gaan van een "bit" en het naar "1" gaan van het daaropvolgend "bit". Deze "delay" is gelijk aan de pulsbreedte (Δt_p) van de toegevoerde klokpuls of piek. Minimaal is deze $4 \mu s$.
 - De schakelsnelheid van het s.r. zelf is hoog door de elkaar versterkende complementaire pnp- en npn transistors in de "bits" van het schuifregister.

- Ieder "bit" kan ongeveer 10 mA leveren. Grotere belasting doet de uitgangsspanning te sterk dalen. In de digitale techniek spreekt men in dit verband over de "fan-out" van een schakeling.

Logisch schema van het schuifregister

Doordat de bits van dit type schuifregister over slechts een ingang beschikken kunnen wij het vergelijken met een D-flip flop. Dit is een bistabiele multivibrator schakeling waarbij de ingangen zodanig van poorten zijn voorzien zodat deze naast een klokpuls ingang slechts een "statische" ingang "D" (van "Data") bezit. Dit is ook het geval met de hierboven beschreven schuifregister, essentieel verschil is - zoals reeds eerder opgemerkt - dat in de bits van het s.r. geen flip-flops aanwezig zijn. Symbolisch is het schuifregister in fig. 3.1.5 weergegeven met het bijbehorend tijdsschema.

3.2. De "besturings flip-flop"

Deze bistabiele multivibrator is zodanig geschakeld dat deze bij iedere klokpuls omklapt onafhankelijk van zijn beganstand. Men spreekt dan van een "Toggle" flip-flop (= wipschakelaar), vandaar ook de afkorting "T-flip-flop".

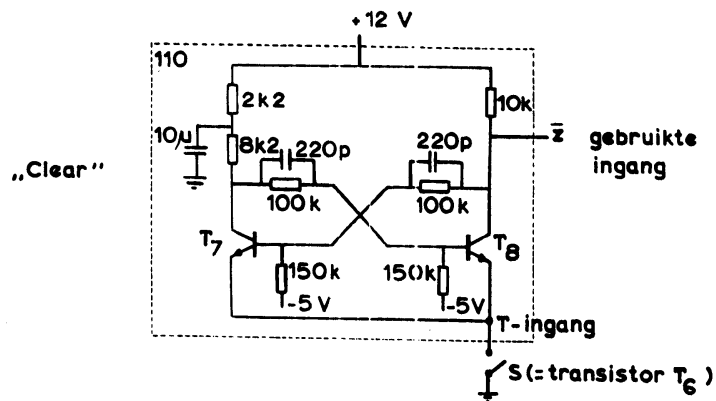


fig. 3.2.1. De besturings T-flip-flop

Bij het inschakelen van de voedingsspanning zorgt een als invertor geschakelde transistor T_5 ervoor dat T_6 onmiddellijk (schakeltijd in orde van nsec) in geleiding komt. Omdat wij in fig. 3.2.1. alleen de werking van de T-flip-flop willen bespreken, zijn bovengenoemde transistors symbolisch vervangen door een schakelaar S. Deze sluit zich zodra de voedingsspanning

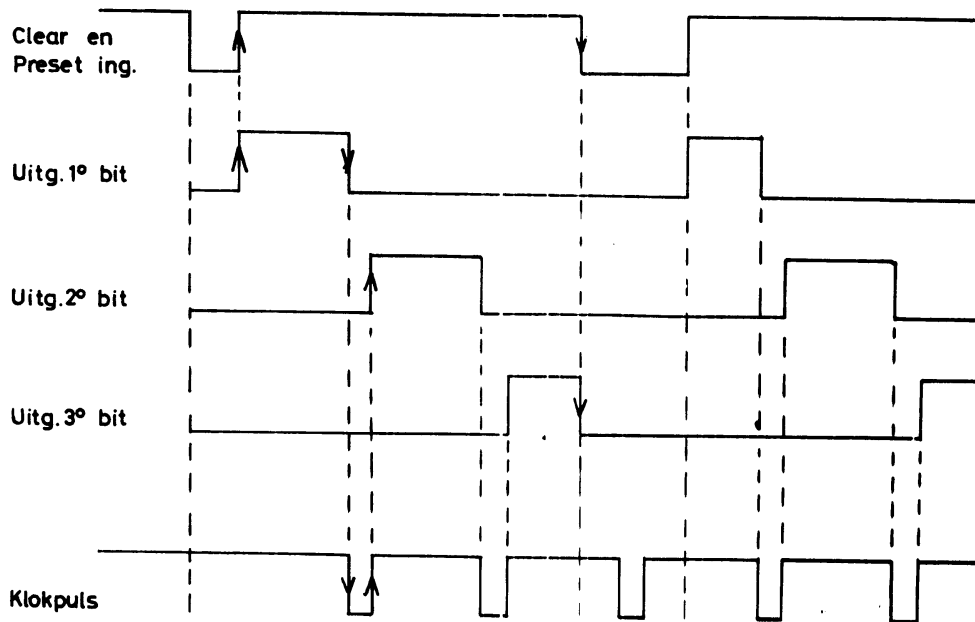
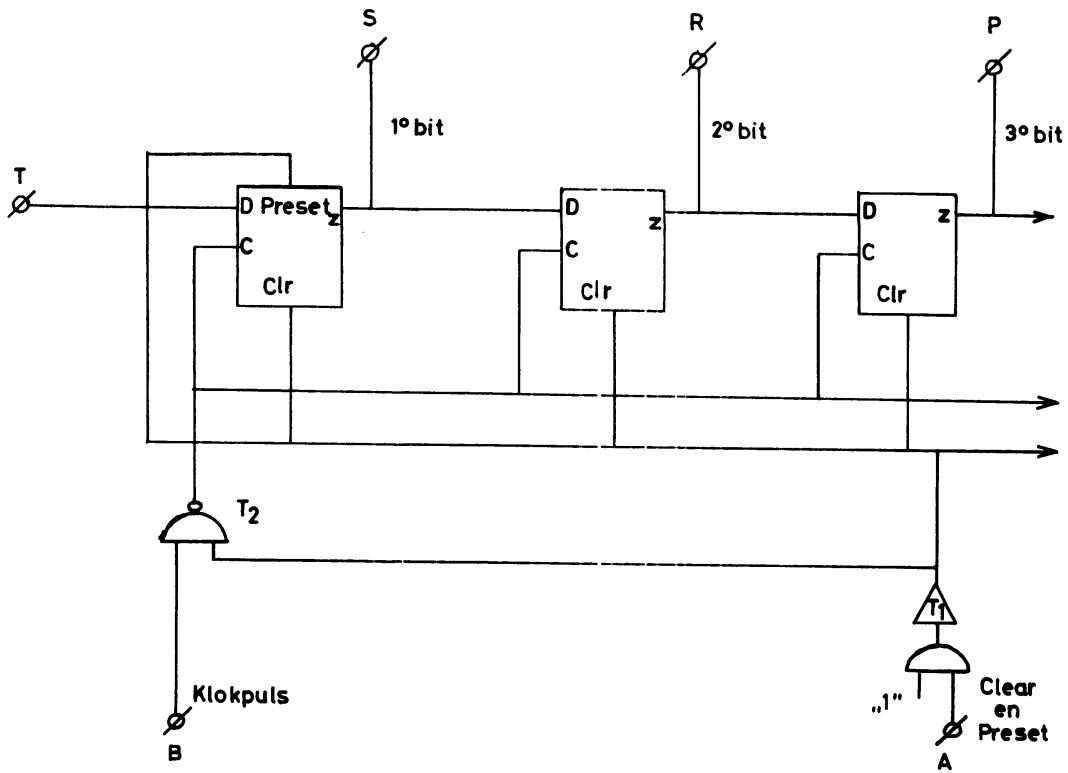


fig.3.15. Logisch schema en tijdsdiagram van schuifregister uit fig. 3.11.

ingeschakeld wordt. Evenals bij de ringteller besproken is, zorgt condensator C_0 voor een vertraagde ("geïntegreerde") spanningstoename aan de basis van T_8 t.o.v. een snellere spanningssprong aan de basis van T_7 . Dit betekent dat $(U_{be})_{T_7}$ eerder op +0,6 volt komt dan $(U_{be})_{T_8}$, d.w.z. T_7 komt in geleiding. Daardoor zakt $(U_{ce})_{T_7}$ naar $\approx +0,1$ V en zal T_8 dus dicht blijven, door een voorspanning van -5 V is dan nl. $(U_{be})_{T_8} \approx -2$ V. Bij het inschakelen van de voedingsspanning komt de z-uitgang van de flip-flop op 0 volt, in logica taal z: = "0" (= z wordt "0"). Dit noemt men dan ook clearing (= vooraf nul stellen) van de flip-flop.

De condensator C_0 bereikt na het in geleiding komen van T_7 in ≈ 80 msec ($= 5 \cdot (R_1 // R_2) \cdot C_0$) een constante spanning van $\approx +9$ volt.

Toggle (= wip) werking van de T-flip-flop.

Om een inzicht te krijgen in de werking van de T-schakeling zijn m.b.v. een oscilloscoop diverse spanningniveau's tijdens het omklappen van de flip-flop geregistreerd: zie fig. 3.2.2.

Door schakelaar S te openen zal $(I_c)_{T_7} = 0$ en ook $(I_b)_{T_7} = 0$ (nul worden). Dit betekent een spanningstoename aan de voet van de schakeling nl. $(U_{ce})_{T_6} = (U_e)_{T_7} = (U_e)_{T_8}$ zal stijgen met de schakelsnelheid van T_6 (= schakelaar S). Doordat T_8 bij het openen van schakelaar niet in geleiding stond zal ook $(U_b)_{T_8}$ met dezelfde snelheid oplopen en door het wegvallen van de (kleine) $(I_b)_{T_7}$ zal ook $(U_c)_{T_8}$ een kleine positieve spanningssprong opleveren. Door het in geleiding staan van T_7 werd de condensator C_1 opgeladen. Na het openen van de schakelaar S zal deze condensator zich ontladen, waardoor $(U_b)_{T_8}$ exponentieel afneemt.

Anderzijds gaat condensator C_2 zich opladen waardoor een exponentiële toename van $(U_b)_{T_7}$ en $(U_c)_{T_7}$.

Hoe snel gaat dit op- en ontladen en welke eindwaarden worden bereikt?

Exact is dit als volgt te berekenen, zie fig. 3.2.3.:

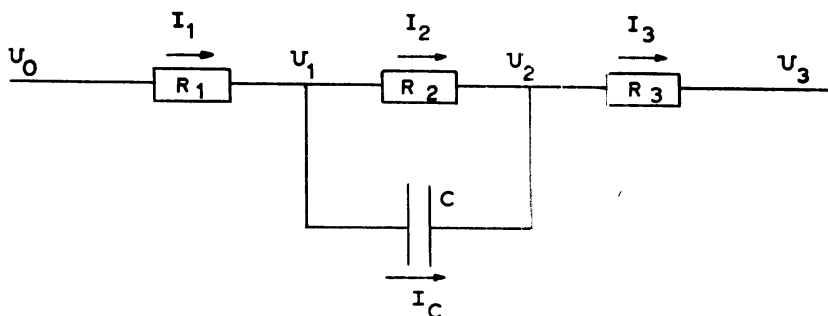


fig. 3.2.3. Op- en ontlading van een condensator

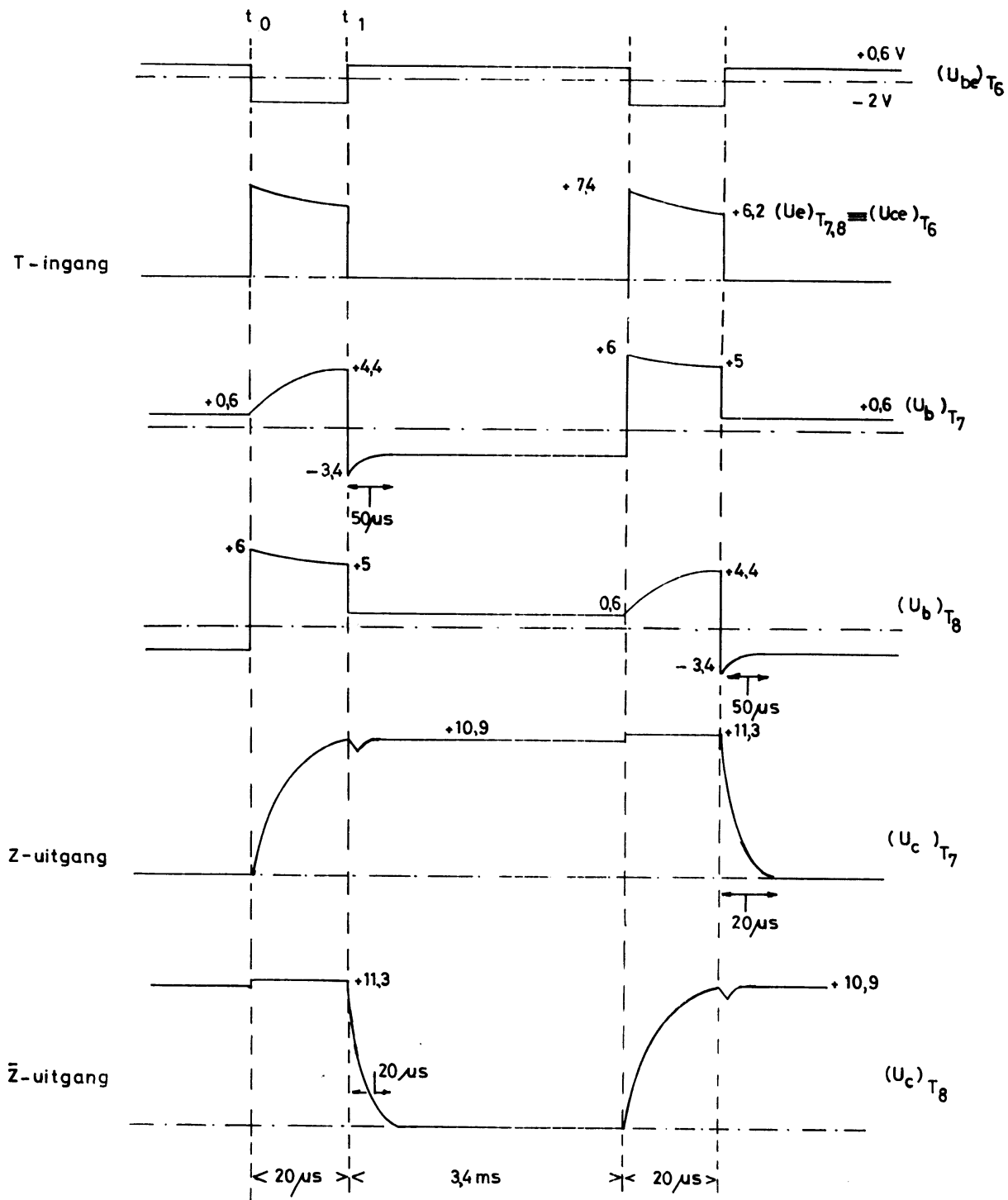


fig. 3.22. Wip-werking van T-schakeling in fig. 3.2.1.

Opm.: Gekozen klokpuls breedte van $20\text{ }\mu\text{sec}$ ligt dicht bij de grenswaarde waarboven de schakeling niet meer omklapt.

$$\text{Kirchkoff: } I_1 = I_2 + I_c = I_3 \quad (3.2.1.)$$

$$\text{Condensator: } Q = CV \rightarrow I_c = \frac{dQ}{dt} = C \frac{dV}{dt} \quad (3.2.2.)$$

$$\text{Weerstand: } U_R = I_R R \quad (3.2.3.)$$

Formules (3.2.1, 2 en 3) leveren samen:

$$\left(\frac{R_1 R_2 + R_2 R_3}{R_1 + R_2 + R_3}\right) \cdot C \frac{dU_1}{dt} + U_1 = \frac{R_2 + R_3}{R_1 + R_2 + R_3} \cdot U_0 + \frac{R_1}{R_1 + R_2 + R_3} \cdot U_3 \quad (3.2.4.)$$

$$\left(\frac{R_1 R_2 + R_2 R_3}{R_1 + R_2 + R_3}\right) \cdot C \frac{dU_2}{dt} + U_2 = \frac{R_3}{R_1 + R_2 + R_3} U_0 + \frac{R_1 + R_2}{R_1 + R_2 + R_3} \cdot U_3 \quad (3.2.5.)$$

Uit formule (3.2.4 en 5) is het spanningsverloop voor en na de condensator (resp. U_1 en U_2) te berekenen. De coëfficiënt (τ) voor de differentiaal - die de spanningsverandering in de tijd voorstelt - is een maat voor de snelheid waarmee zich de condensator op- of ontlad. De rechterleden in de formules stellen de eindspanningen voor die in de stationaire toestand bereikt worden: $(U)_{t=\infty}$. De formules (3.2.4 en 5) zijn daardoor vereenvoudigd te schrijven:

$$\tau_1 \cdot \dot{U}_1 + U_1 = (U_1)_{t=\infty} \quad (3.2.6.)$$

$$\tau_2 \cdot \dot{U}_2 + U_2 = (U_2)_{t=\infty} \quad (3.2.7.)$$

Om de "differentiaal vergelijkingen" (3.2.6 en 7) op te kunnen lossen is het noodzakelijk de beginvoorwaarden te kennen. Bij bovenstaande toepassing zagen wij dat de condensator C_1 zich gaat ontladen terwijl C_2 zich oplaadt bij het openen van de schakelaar S. Het zal duidelijk zijn dat deze processen afhangen van het al of niet geladen zijn van de condensator. Het is dus van praktisch belang te weten of een condensator "leeg dan wel positief of negatief geladen" is. Er kunnen zich nl. ten tijde $t = 0$ drie gevallen voordoen, fig. 3.2.4:

- a. Condensator leeg: $U(0) = U(\infty)$
- b. Condensator negatief opgeladen: $U(0) > U(\infty)$ (3.2.8.)
- c. Condensator positief opgeladen: $U(0) < U(\infty)$

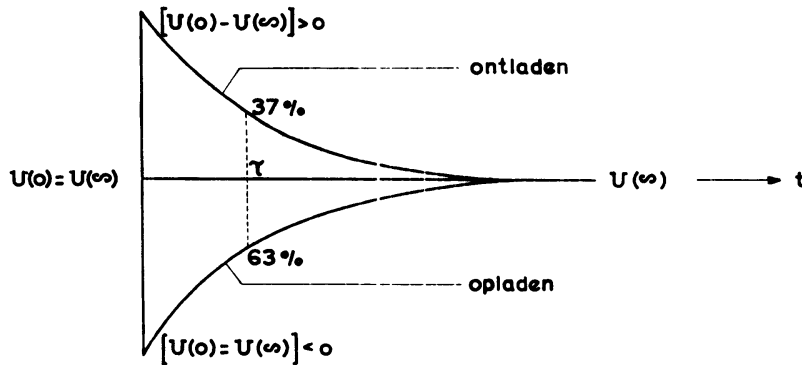


fig. 3.2.4. Spanningsverloop bij op- en ontladen

De algemene oplossing van de formules (3.2.6 en 7) is dan:

$$U(t) = U(\infty) + \{U(0) - U(\infty)\} \cdot \exp(-t/\tau). \quad (3.2.9)$$

Hieruit volgt:

$$t = \tau \cdot \ln \left(\frac{U(0) - U(\infty)}{U(t) - U(\infty)} \right) \quad (3.2.10)$$

Door in de formules (4 t/m 9) de numerieke waarden uit fig. 3.2.1. in te vullen ($U_0 = +12$ volt, $U_3 = -5$ volt, $R_1 = 10$ K, $R_2 = 100$ K, $R_3 = 150$ K) kunnen wij i.v.m. fig. 3.2.2 de volgende conclusies trekken:

- $(U_b)_{T_7}$ en $(U_b)_{T_8}$ lopen naar dezelfde eindwaarde: $U_2(\infty) \approx +4,8$ volt.
- De snelheid waarmee dit gebeurt is voor $(U_b)_{T_7}$ en T_8 en voor $(U_c)_{T_7}$ en T_8 identiek nl. $\tau = \tau_1 = \tau_2 \approx 13,5$ μ sec (RC-tijd).
De eindwaarde wordt tot op:
37% in $\tau \approx 13,5$ μ sec bereikt
90% in $2,3 \cdot \tau \approx 31$ μ sec bereikt
99% in $4,6 \cdot \tau \approx 62$ μ sec bereikt.
- In de tijd dat T_6 dichtgedrukt staat, = 20 μ sec, loopt de $(U_b)_{T_7}$ globaal op van +0,6 volt naar:
 $U_2(20 \mu\text{sec}) = +4,8 + (0,6 - 4,8) \cdot \exp(-20/13,5) \approx +3,9$ volt.
De gemeten waarde ligt 10% hoger.
- In dezelfde tijd loopt $(U_b)_{T_8}$ van $\approx +6$ V naar $\approx +5,1$ V. De gemeten waarde blijkt op $\approx +5$ volt te liggen.

Uit het voorgaande (zie ook fig. 3.2.2) blijkt dat de basisspanningen van T_7 en T_8 nog niet hun gemeenschappelijke eindwaarde bereikt hebben bij het weer openen van de schakelaar S (zie fig. 3.2.1). Dit nu is van essentieel belang om een goede flip-flop werking te krijgen! Wat gebeurt er nl.

bij het weer sluiten van de schakelaar S? Dan zakt $(U_{ce})_{T_6}$ met de schakelsnelheid van T_6 naar aardpotentialaal (orde nsec). De $(U_b)_{T_7}$ en $(U_b)_{T_8}$ dalen met dezelfde snelheid, vanaf verschillende beginwaarden, dit is in fig.

3.2.5. schematisch voorgesteld.

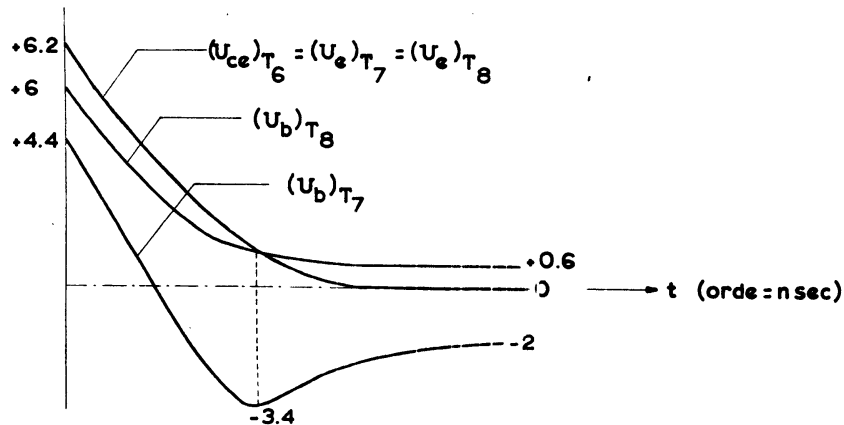


fig. 3.2.5. Spanningsverloop basisspanningen T_7 en T_8 na opnieuw inschakelen van T_6 .

We zien uit fig. 3.2.5. dat T_7 uit geleiding blijft terwijl T_8 in geleiding komt. In fig. 3.2.2. zakt $(U_c)_{T_8}$ dan ook naar aardpotentialaal, dit kost tijd omdat daarbij de condensator C_2 moet ontladen. De schakelflanken aan de uitgang zijn dan ook niet scherp te noemen ($\approx 20 \mu\text{sec}$). Tevens gaat zich de condensator C_1 weer opladen waardoor $(U_b)_{T_7}$ langzaam ($\approx 50 \mu\text{sec}$) oploopt.

We zien uit fig. 3.2.2. dat de flip-flop omgeklapt is na de schakelpulsduur van $\approx 20 \mu\text{sec}$ op T_6 . Nemen wij deze pulsduur langer dan zullen de basisspanningen van T_7 en T_8 gedurende deze pulstijd op gelijke niveau's komen $(U_b)_{T_7} = (U_b)_{T_8} \approx +4,8$ volt. In dat geval bezitten de condensatoren C_1 en C_2 eenzelfde lading ($Q = CV_C \approx 220 \cdot 10^{-12} \cdot (11-4,8) \approx 14 \cdot 10^{-10}$ Coulomb). De geheugenwerking van deze condensatoren is dan ook verloren gegaan. Na opnieuw inschakelen van T_6 zal de uitgang van de flip-flop weer de oude waarde aannemen.

Uit fig. 3.2.1. is af te leiden dat als de uitgang voor de brede klokpuls ($> 62 \mu\text{sec}$) op $\approx +10,8$ volt stond, deze tijdens de klokpuls stijgt naar $\approx +11,3$ volt. In het geval de uitgang voor de klokpuls 0 volt is ("0", T_8 geleidend), zal deze tijdens de klokpuls stijgen naar $+10,8$ volt ("1").

De T-schakeling is bij klokpulsen $\Delta t_p > 62 \mu\text{sec}$ op te vatten als een soort invertor met als ingang de basis van T_6 : een van de twee uitgangen staat voor de klokpuls op 0 volt en gedraagt zich daarna in tegenfase met het ingangssignaal.

Uit metingen blijkt dat bij het opvoeren van de klokpulsbreedte de T-schakeling tot $\Delta t_p \approx 60 \mu\text{sec}$ nog als flip-flop te werken. Dit verhogen van Δt_p moet voorzichtig gebeuren omdat bij $\Delta t_p > 20 \mu\text{sec}$ de geheugenwerking van de condensatoren zwak te noemen is (klein verschil in lading en dus spanning). De betrouwbaarheid van de togglewerking is bij $\Delta t_p > 20 \mu\text{sec}$ dan ook niet groot. Bij afnemende Δt_p vanaf $100 \mu\text{sec}$ bleek de togglewerking pas weer op te treden bij $17 \mu\text{sec}$. Het is daarom verstandig $\Delta t_p \approx 10 \mu\text{sec}$ te kiezen.

De meting geeft aan dat bij $\Delta t_p \approx 2 \mu\text{sec}$ de uitgang van de flip-flop zich op 0 volt handhaaft (ook tijdens klokpuls).

Tijdens het wippen van de schakeling vindt er een alternerende ladingsverandering plaats op de preset condensator C_0 . De U_{C_0} bezit een minimum van +8,9 volt (bij T_7 geleidend) en een maximum van +11,8 volt. Indien de tijd Δt tussen de opeenvolgende pulsen voldoet aan $\Delta t < 80 \text{ msec}$, d.w.z. de puls-herhalingsfrequentie $f < 12,5 \text{ kHz}$, worden deze extremen niet bereikt. Dit op en neer gaan van U_{C_0} heeft geen invloed op de werking van de flip-flop.

Logisch schema van besturings flip-flop

Ter vereenvoudiging kan T-schakeling, na de uitvoerige beschrijving, als een "black-box" opgevat worden. In de plaats van de elektronische beschrijving komen dan de specificaties van de werking:

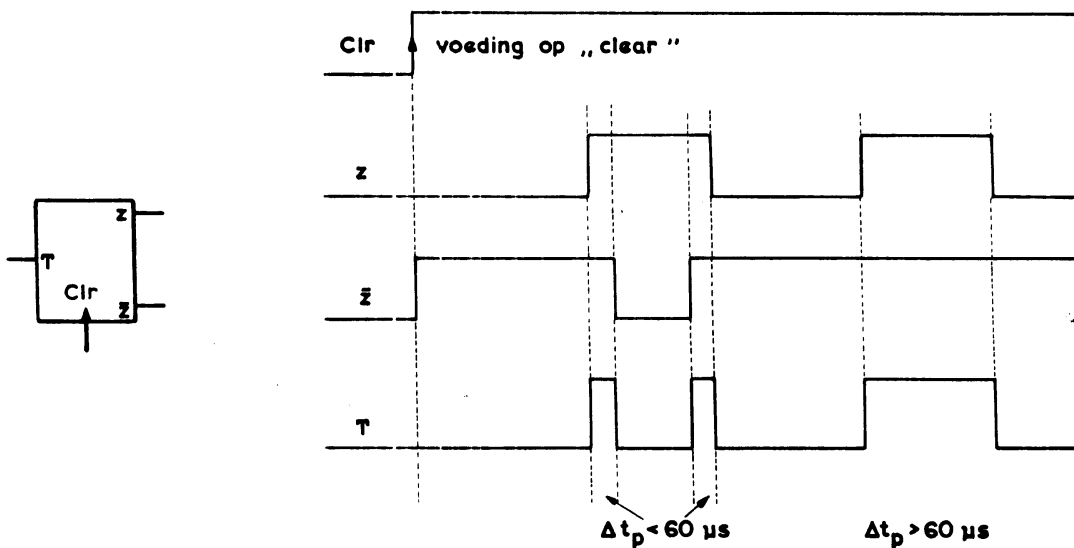


fig. 3.2.6. Logisch schema en tijdsdiagram van "T-schakeling"

De T-ingang van de "Toggle" flip-flop wordt gevormd door een "dynamische poort" bestaande uit de transistors T_5 en T_6 , zie fig. 3.2.7 en 4.5:

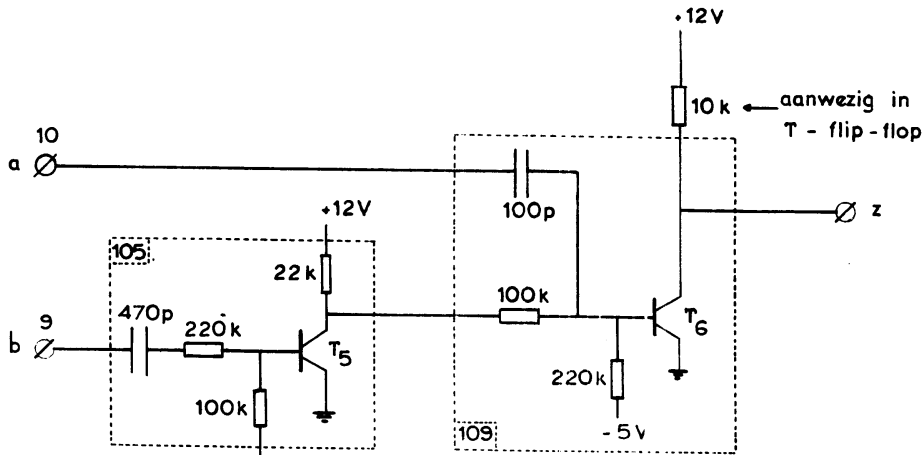


fig. 3.2.7. Dynamische poort aan ingang van de besturings flip-flop

Door middel van pulsgenerator, invertor en oscilloscoop is volgens tijdschema opgenomen:

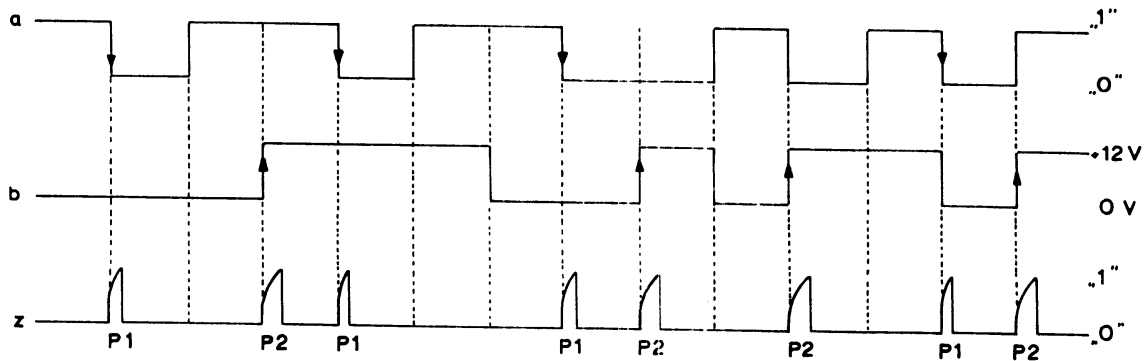


fig. 3.2.8. Tijdschema dynamische poort

In fig. 3.2.8 is P_1 een positieve puls met een pulsbreedte van $\approx 10 \mu\text{s}$. Deze breedte is bepaald door het "differentiërend netwerk" waarop de basis van transistor T_6 is aangesloten (zie werking monostabiele multivibrator § 3.4.). De flanksteilheden zijn: voor flank $\approx 0,5 \mu\text{s}$, achterflank $\approx 1 \mu\text{s}$.

Deze worden bepaald door in- en uitschakeltijd van de gebruikte transistor en deze zijn weer een functie van de inschakelstroom " $I_{B_{on}}$ " (3, p. 252).

Verder is in fig. 3.2.8 te zien dat de smalle puls P_1 veroorzaakt wordt door een negatieve flank op connectorpunt 10, onafhankelijk van de spanning op connectorpunt 9. Doordat in de rusttoestand T_5 dicht is, zou via de spanningsdeling op de basis van $T_6 \approx +4,5$ volt staan, dit betekent dat in de rusttoestand T_6 geleidend is. Door de negatieve flank ter grootte van 12 volt zal T_6 , afhankelijk van de oplaadtijd van de koppelcondensator, dichtgedrukt worden. Dit is in fig. 3.2.8 $\approx 10 \mu\text{sec}$.

De puls P_2 is breder en bedraagt $\approx 150 \mu\text{s}$. Voor- en achterflank $\approx 4 \mu\text{s}$. Deze brede puls blijkt te ontstaan bij een negatieve flank op connectorpunt 9 en is ook weer onafhankelijk van het spanningsniveau op connectorpunt 10. Transistor T_5 werkt als invertor met een dynamische (condensator) ingang. Een positieve puls op punt 9 komt dus geïnverteerd (neg. flank) op de basis van T_6 d.w.z. T_6 gaat weer tijdelijk dicht. Ook hier is dus sprake van een of-poort werking d.i. een ingangssignaal wordt doorgelaten onafhankelijk van het andere ingangssignaal. Het logisch schema voor de dynamische of-poort is daarom:

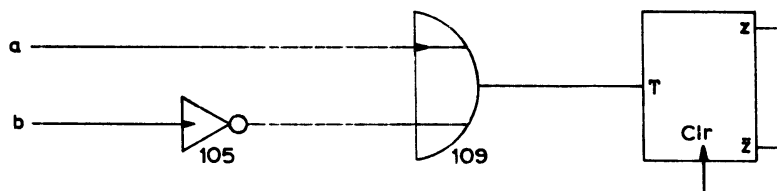


fig. 3.2.9. Logisch schema voor de dynamische poort aan de ingang van de besturings flip-flop.

Opm.: De koppelcondensator van 100 pF op punt 10 is zowel onderdeel van een differentiërend- (ingang transistor T_6) als van een integrerend netwerk (uitgang T_5).

De integrerende werking van de koppelcondensator komt dan ook tot uiting in de niet zo steile flanken van de puls P_2 . Er is hier sprake van twee ingangen die elkaars werking beïnvloeden. Dit is "logisch gesproken" een zwak punt van de schakeling in fig. 3.2.7. Beter is het om twee onafhankelijke ingangen te creëren. Dit kan door een "NAND"-poort met twee, van differentiërende netwerken voorziene, ingangen.

Zoals hiervoor besproken werkt de T-schakeling alleen bij pulsbreedten $\Delta t_p < 60 \mu\text{sec}$ als "wipschakelaar". Uit de beschrijving van de dynamische poort is duidelijk dat bij een meting bleek:

- Door de negatieve flanken van een klokpuls op connector punt 9 "wipt" de T-schakeling (flip-flop slaat bij iedere klokpuls om).
- Door de positieve flanken van een klokpuls ($\Delta t_p = 500 \mu\text{s}$) op punt 10 "wipt" de T-schakeling niet. Dit is te verklaren uit de te grote integratie tijd van $150 \mu\text{sec}$ (dit is puls P_2).
- Door de positieve flanken van een klokpuls met $\Delta t_p < 20 \mu\text{sec}$ op punt 10 wipt de T-schakeling wel. Dit is duidelijk doordat de integratietijd van $150 \mu\text{sec}$ niet bereikt kan worden.

De positieve puls P_2 wordt reeds na $20 \mu\text{sec}$, door de neergaande flank van de klokpuls, afgebroken. Op de basis van T_6 arriveert een puls met een breedte van $20 \mu\text{sec}$. Deze voldoet aan de eis van "togglen". Dit afbreken van een te brede puls wordt in de Serializer toegepast, zie fig. 4.7. Er is nl. een terugkoppeling van de besturings flip-flop via een invertor naar de "Clear" ingang van het schuifregister en vanuit 5° of 10° s.r. weer terug naar de ingang van de besturings flip-flop (connectorpunt 10 van de T-schakeling).

3.3. De geheugenschakeling

Zoals de naam al aangeeft wordt hierbij een informatie gedurende een bepaalde tijd vast gehouden. Dit is een logische "0" of "1".

De voedingsspanning is +12 volt, uiteraard is ook een aarde aanwezig. Kiezen wij voor de positieve logica dan is per definitie:

"1" = hoogste spanning = +12 V

"0" = laagste spanning = 0 V.

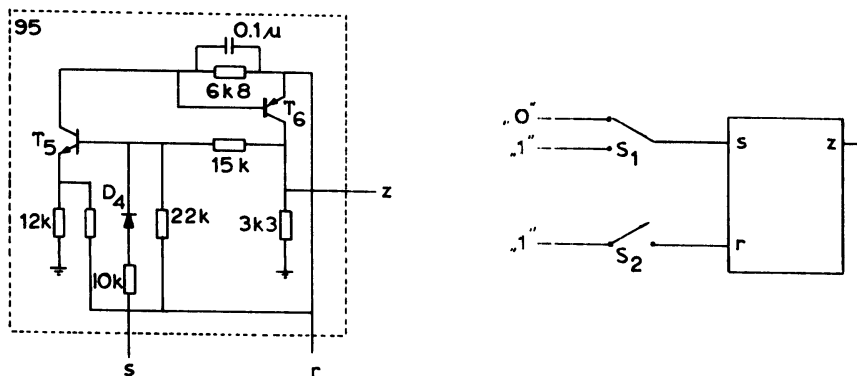


fig. 3.3.1. De geheugenschakeling



In het type schakeling van fig. 3.3.1 is er slechts één uitgang omdat in de twee mogelijke stabiele toestanden beide transistors open of dicht staan. Hier is dus geen sprake van een RS-flip-flop, waarbij de ene uitgang de geïnverteerde is van de andere.

Er zijn wel twee ingangen aanwezig, met de ene kan de schakeling "geset" (een stellen, uitgang: = "1") worden; met de andere ingang kan "resetten" (nul stellen, uitgang: = "0") plaats vinden.

M.b.v. een schakeltransistor wordt de R-ingang al of niet met de voedingsspanning doorverbonden. Dit is in fig. 3.3.1 schematisch voorgesteld met de schakelaar S_2 . Wordt deze schakelaar geopend dan komt de schakeling zonder voedingspanning, ook de uitgang. In dat geval kunnen wij dus spreken van resetten. Bij het uitschakelen van de voedingspanning op de totale "Serializer" vindt "Clearing" van het geheugen plaats.

Bij het sluiten van de schakelaar S_2 hangt het van de stand van de set schakelaar S_1 af wat er gebeurt. Is deze schakelaar in stand "0" dan komt er op uitgang $\approx +1,0$ volt (spanningsdeling). Is de setingang $S = "1"$ dan zal door sluiten van schakelaar S_2 de uitgang van het geheugen op $+12$ V komen.

S_1 kan uitgevoerd worden als drukschakelaar met normale stand op "0". In dat geval zal na het sluiten van de voedingsschakelaar S_2 de geheugenuitgang op $+1,0$ volt staan. Indien wij hierna schakelaar S_1 indrukken zal de geheugenschakeling geset worden. Wij krijgen dan nl. via een diode, in doorlaat richting geschakeld, een positief gaande spanningspiek op de basis van T_1 , die daardoor in geleiding komt. Dat betekent dat er een stroom gaat lopen door de "emitter weerstand" (R_E) van T_2 , de spanningsval over R_E is oorzaak van het open gaan van T_2 . Doordaar komt tenslotte de collector van T_2 op $+12$ volt en dit is de uitgang van de schakeling. Hoe verloopt nu deze setwerking in de tijd, m.a.w. wat is de schakeltijd? De npn-transistor T_1 en pnp-transistor T_3 vormen een "complementair paar", waardoor zeer korte schakeltijden bereikt worden.

Hoe is dit te verklaren?

Uit fig. 3.3.1 is af te lezen dat bij $r = +12$ volt en $s = 0$ volt:

$$\left. \begin{array}{l} (U_e)_{T_1} \approx + 6 \text{ volt} \\ (U_b)_{T_1} \approx + 5,4 \text{ volt} \end{array} \right\} (U_{be})_{T_1} \approx -0,6 \text{ volt, waardoor } T_1 \text{ volledig dicht: staat}$$

D.m.v. de Set ingang kunnen wij T_1 in geleiding brengen zodra: $U_S > U_{diode} + (U_e)_{T_1} \approx + 6,6$ volt. Op dat moment gaat er een kleine $(I_c)_{T_1}$ lopen door R_E , waardoor $(U_{be})_{T_2} : < 0$ volt (kleiner wordt dan).

Dat betekent het in geleiding komen van T_2 en deze levert weer de $(I_b)_{T_1}$, m.a.w. de transistoren T_1 en T_2 brengen elkaar steeds verder in geleiding. Het inschakelverschijnsel wordt dus minstens tweemaal zo snel. Hier is sprake van "niet in verzadiging sturen", dit is een methode om snelle schakeltijden te bereiken.

De parallel condensator C_E over R_E verkleint tenslotte nog eens de inschakeltijd van T_2 . Wij krijgen daardoor op de uitgang "steile flanken" te zien.

De geheugenwerking van de schakeling komt tot uiting in het feit dat de transistoren T_1 en T_2 zichzelf in geleiding houden bij het wegvallen van set-ingang. Bij het weer opkomen van schakelaar S_1 blijft dus de uitgang gehandhaafd. Dit is tevens de reden dat de geheugenschakeling "geset" kan worden met een "positieve gedifferentieerde puls".

Als laatste combinatie mogelijkheid noemen wij hier nog: schakelaar S_1 dichtdrukken terwijl schakelaar S_2 openstaat. In dit geval komt uitgang op $\approx +2$ volt, hier is sprake van een spanningsdeling bij niet geleidende T_1 en T_2 . Er is hier een duidelijk verschil met het bovenbesproken "setten" van de geheugenschakeling. De uitgang blijft op $+2$ volt zolang schakelaar S_1 ingedrukt gehouden wordt.

Wat is logisch schema van dit geheugen?

Bij een geheugen is per definitie de nieuwe uitgang bepaald door de twee ingangen en de oude uitgang. In formule $z(\tau) = f(s,r,z)$ waarin τ de schakeltijd voorstelt. Doordat in de binaire logica $z(\tau)$ slechts twee te onderscheiden toestanden kan aannemen en deze afhankelijk zijn van drie variabelen is het maximaal aantal niet identieke combinaties: $2^3 = 8$. Uit fig. 3.3.1 is te zien dat drie combinaties onmogelijk zijn nl. $s = r = 0$ volt met $z = +12$ volt, $s = r = +12$ volt met $z = 0$ volt en de combinatie $s = +12$ volt, $r = 0$ volt terwijl $z = +12$ volt.

De uitsluiting van deze drie combinaties is gevolg het feit dat de r-ingang geen geheugenwerking bezit!

Het aantal overblijvende combinaties is in fig. 3.3.2 - in spanningsniveau's - aangegeven:

s	0	0	1	1	0	1	1	0	0	+12 V
										0 V
r	0	1	1	0	0	0	1	1	0	+12 V
										0 V
z	0	+1V	1	+2V	0	+2V	1	1	0	+12 V
										0 V

fig. 3.3.2. Tijdsdiagram geheugenschakeling

In bovenstaande figuur komen $8 - 3 = 6$ unieke combinaties voor. Er blijken in deze "niet logische" schakeling nog tussen-niveau's op te treden. Of deze uitgangsspanningen van resp. +1 en +2 volt als binaire "0" of "1" verantwoord geïdentificeerd kunnen worden hangt af van de schakelniveau's van de eropvolgende trap.

Nemen wij aan dat de spanningen +1 en +2 volt nog als een logische "0" beschouwd kunnen worden dan krijgen wij volgende tabel:

r	s	z (T)
0	0	0
0	1	0
1	0	z
1	1	1

„clearing“
 „resetten“
 „geheugen“
 „setten“

r	s	z	z (T)
0	0	0	0
0	0	1	0
0	1	0	0
0	1	1	0
1	0	0	0
1	0	1	1
1	1	0	1
1	1	1	1

Tabel 3.3.1. Functioneel verband tussen in- en uitgang van geheugenschakeling.

De verklaring voor tabel (a) is in het voorgaande gegeven. Tabel (b) volgt direkt uit tabel (a); de pijlen hierin geven aan welke variabele (r, s of z), van de voorgaande toestand, bepalend is voor de nieuwe uitgangstoestand van het geheugen. Hieruit volgt nu via Karnaugh diagram de volgende logische schema's:

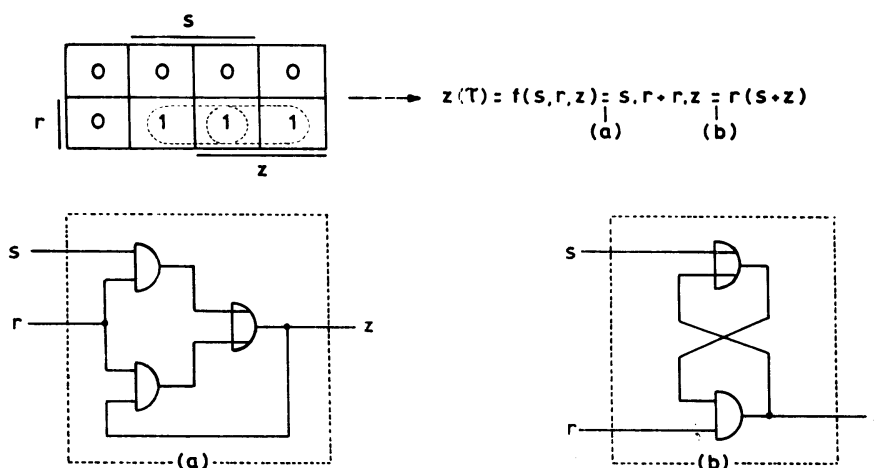


fig. 3.3.3. Logisch schema van geheugenschakeling.

Opm.: Bij de geheugens, die de eenheden "bits" uit de digitale voltmeter opslaan (zie fig. 4.7), zijn de uitgangsspanningen van +2 volt geblokkeerd door een bijzonder soort en-poort, zie fig. 3.3.5.

Conclusies uit fig. 3.3.3:

- a. De schakeling kan logisch opgebouwd worden met "AND" en "OR" poorten d.w.z. de aanwezige transistors werken niet als "invertors", vandaar ook dat wij niet kunnen spreken van "flip-flop"-werking (geïnverteerde uitgang \bar{z} ontbreekt dan ook in de figuur).
- b. De geheugenwerking van de schakeling volgt uit de aanwezig terugkoppeling van uitgang naar ingang. Deze t.k. is alleen aanwezig voor de set-ingang, dit betekent dat er alleen voor deze ingang een geheugenwerking aanwezig is. Functioneel is dit als volgt te verklaren:
 indien $z = "1"$ dan blijft deze "1" ("handhaven van uitgang") al valt de s terug van "1" naar "0", dit omdat $(s+z) = 1+1 = 0+1 = "1"$.
 indien echter r van "1" naar "0" geschakeld wordt, trekt deze de uitgang z mee naar de "0" toestand: $r \times z = 1 \times 1 \neq 0 \times 1$.
 Hierboven is de logische werking van AND en OR poort aangegeven.
- c. De rechtste schakeling (b) is een vereenvoudigde van de linkse (a):
"minimaliseren in de Boole algebra".

Opm.: Voor een RS-flip-flop geldt: $z(r) = \bar{z}(s+z)$, met $rs \neq 0$ d.w.z. $r\bar{s} = r$ en $\bar{r}s = s$.

Ter illustratie is het electro-mechanische equivalent van de geheugenschakeling in fig. 3.3.1 hieronder weergegeven:

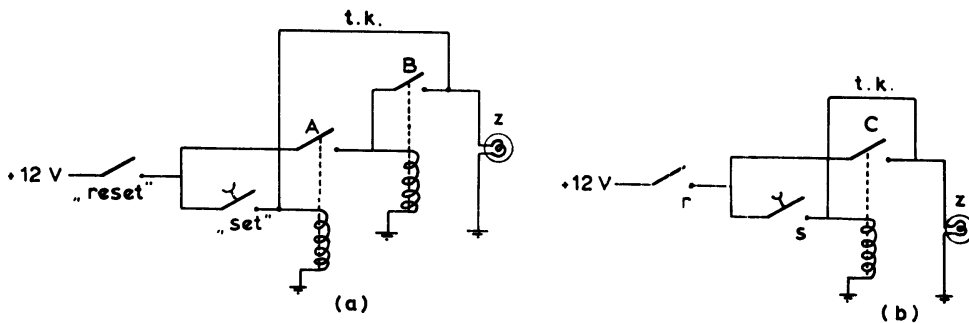


fig. 3.3.4. Mechanische uitvoering van de geheugenfunctie.

De relaisschakelingen (a) en (b) zijn de "mechanische" verwezenlijking van de logische schema's (a) en (b) uit fig. 3.3.3. Verder is fig. 3.3.1 de elektronische verwezenlijking van het logisch schema (a). De transistoren T_1 en T_2 komen dan ook overeen met de relais A en B. Deze relais zijn uitgevoerd met "maak" contacten en bezitten dan ook geen inverterende werking (analoog de toepassing van de transistors T_1 en T_2).

Een relais met "verbreekcontact" is daarentegen normaal gesloten en gaat "open" bij bekrachtiging: aanbieden van een "1" levert een "0" aan uitgang. Dit laatste is per definitie een "invertor".

Uit fig. 3.3.4. is nogmaals te zien wat minimaliseren d.m.v. Boole-algebra voorstelt.

De "niet logische" spanningsniveau's van +1 en +2 volt kunnen ook in fig. 3.3.4. optreden indien de schakelaars niet "ideaal" zijn, maar een niet verwaarloosbare lekweerstand vertonen.

In de totale schakeling ("Serializer", zie fig. 4.7) is aan de uitgang van het geheugen een bijzonder soort en-poort geschakeld. Dit bezit 2 (normale) ingangen terwijl de voet ervan gevormd wordt door de r-ingang van de geheugenschakeling, zie fig. 4.3. Dit impliceert dat er met drie ingangen geschakeld wordt: alle drie de ingangen kunnen op 0 of +12 volt staan (binair "0" of "1"). Hieruit volgt: waarheidstabel, Karnaugh-diagram, logische vergelijking en schema:

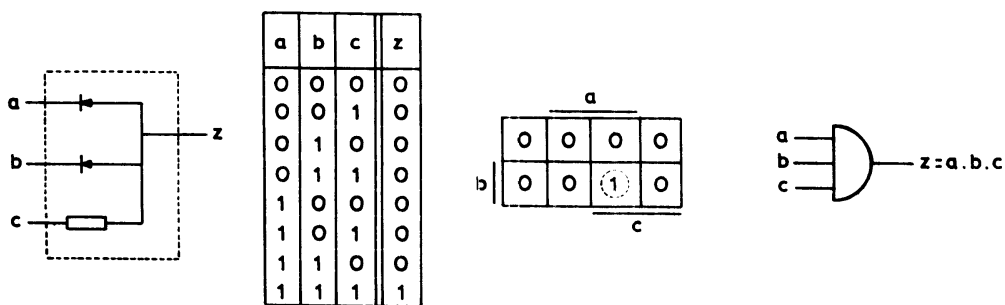


fig. 3.3.5. Type "en-poort" aan in- en uitgang van het geheugen.

Aan de s-ingang van het geheugen zit eenzelfde soort en-poort. Deze laatste poort zorgt ervoor dat de +2 volt uitgangsspanning van het geheugen niet voor kan komen, er kan niet "geset" worden zolang r = '0'. De triple en-poort aan uitgang van het geheugen vormt een tweede blokkering.

3.4. De monostabiele multivibrator

Hiervan zijn er 2 stuks in de Serializer aanwezig op de koppel- en besturingsschakeling, zie fig. 4.1. Hieronder volgt een beschrijving van de werking met de daarbij gebruikelijke benamingen.

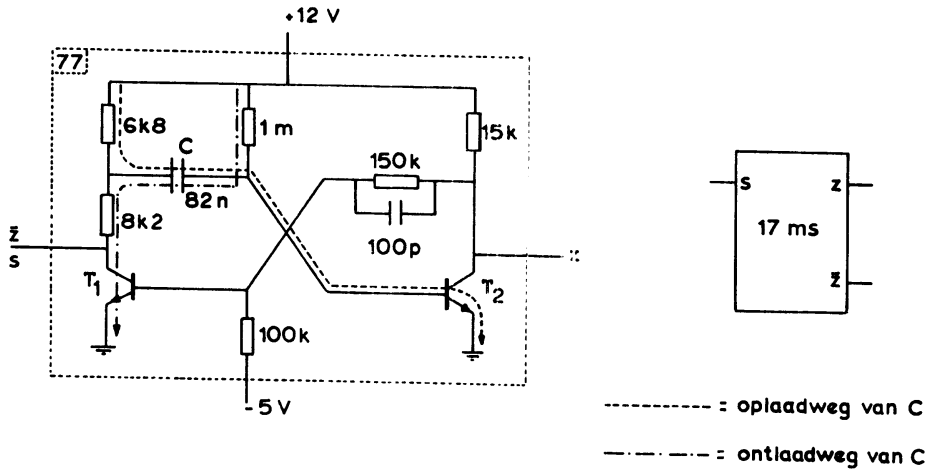


fig. 3.4.1. De monostabiele multivibrator

"Triggering" vindt hier plaats op de collector van T_1 .

In de normale- of rusttoestand (= monostabiele toestand) is T_2 geleidend doordat de basis met een positieve spanning (+12 V) en alleen capacitief met de collector van T_1 verbonden is.

Definiëren wij de uitgangen zoals aangegeven in fig. 3.4.1. dan is in de normale toestand $z = "0"$ (0 volt) en $\bar{z} = "1"$ (+12 volt). Daardoor is tevens vastgelegd dat wij (door een of andere ingreep) de schakeling alleen maar kunnen "setten" (= een stellen) d.w.z. $z = "1"$ (z wordt gelijk aan logische een). De rusttoestand is nl. de reset (= nul) toestand.

Hoe is deze schakeling te "setten"?

In fig. 3.4.1. moet daartoe op de S-ingang een negatieve flank van een klokpuls aangeboden worden. Het "differentiërend netwerk", bestaande uit C en R_2 , veroorzaakt een negatief gaande piek op de basis van de npn-transistor T_2 , waardoor deze dicht gaat. Doordat de collector van T_2 verbonden is met de basis van T_1 zal dan T_1 opengaan. De basisweerstand van 150k is ontkoppeld door een condensator van 100p, waardoor bij het dichtgaan van T_2 een snelle spanningstoename ("positieve flank" > +5,6 volt, T_1 is voorgespannen op -5 volt) op de basis van transistor T_1 optreedt.

T_1 gaat daardoor volledig open. Gevolg van dit alles is $T_2 =$ dicht waardoor $z = "1"$ en $T_1 =$ open waardoor $\bar{z} = "0"$ en de schakeling "geset" is.

Hoe lang blijft de schakeling in deze "labiele" settoestand?

Gaan wij er vanuit dat de schakeling voldoende lange tijd, d.i. $5 \cdot \tau_{opl} = 5 \cdot R_1 C$, in de rusttoestand is geweest dan is op het moment van setten de condensator C "volledig opgeladen". Na het setten vindt ontlading van C

plaats door het openstaan van T_1 . De "RC-tijd" van de ontlading is in deze schakeling: $\tau_{ontl.} = (R_2 + R_3) \cdot C$.

Tijdens de setpuls is $(U_{be})_{T_2}$ gezakt van $\approx +0,6$ volt naar $\left[0,6 - \left(12 - \frac{R_3}{R_1 + R_3} \cdot 12\right)\right]$ volt waarin het tweede lid (--) de grootte van de negatieve setpuls voorstelt.

De numerieke waarden in fig. 3.4.1. leveren het tijddiagram voor de monostabiele multivibrator, zie onderstaande figuur:

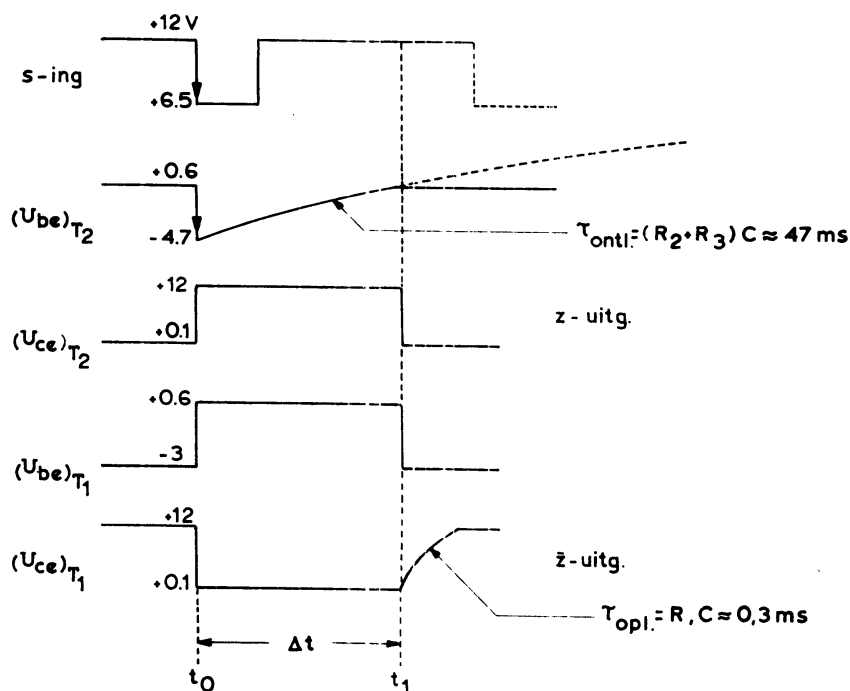


fig. 3.4.2. Tijdsdiagram van de monostabiele multivibrator.

Na de setpuls ontlaat zich condensator C waardoor $(U_{be})_{T_2}$ zou kunnen oplopen van $-4,7$ volt naar $+12$ volt. Bij $(U_{be})_{T_2} \approx +0,6$ volt komt echter T_2 weer in geleiding.

Door in formule (3.2.10), $U(t) = +0,6$ volt, $U(\infty) = +12$ volt, $U(0) = -4,7$ volt en $\tau = \tau_{ontl.} = 47,4$ msec in te vullen vinden wij de tijd waarin $(U_{be})_{T_2}$ gestegen is van $-4,7$ volt naar $+0,6$ volt: $t \approx 18$ msec. Dit is de tijd waarin de schakeling zich in de settoestand bevindt: $\Delta t \approx 18$ msec (gemeten waarde is ≈ 17 msec). Daarna zakt de uitgang z, d.i. $(U_{ce})_{T_2}$, snel naar de resettoestand (z: = "0"). De geïnverteerde uitgang \bar{z} stijgt langzamer naar $+12$ volt ("1") doordat condensator C weer opgeladen moet worden. De flanksteilheid van z is in de orde van nsec, terwijl die van \bar{z} ongeveer $1,5$ ms bedraagt. Door dit verschil in schakelsnelheid wordt

meestal alleen uitgang z gebruikt en verkrijgt men \bar{z} door een inverter. Dit nu is ook de reden van het kiezen van de z en \bar{z} uitgang in fig. 3.4.1. Per definitie wordt een monostabiele multivibrator "geset" en valt na een bepaalde tijd terug naar zijn "reset" toestand.

Op de koppelschakeling is nog een monostabiele multivibrator aanwezig met dezelfde R_1 , R_2 en R_3 als in fig. 3.4.1. echter is de condensator $C = 82 \text{ nF}$. Hierdoor is $\tau_{opl} \approx 0,6 \text{ msec}$ en $\tau_{ontl} \approx 82,7 \text{ msec}$. Na "setten" bevindt zich de schakeling gedurende $\Delta t \approx 32 \text{ ms}$ in de één-toestand. Deze tijd volgt weer uit formule (3.2.10); de gemeten waarde bleek $\approx 30 \text{ msec}$ te bedragen.

Bij een monostabiele multivibrator wordt als specificatie opgegeven: de maximale werkcyclus η ("max. duty cycle"). De werkcyclus is per definitie de verhouding van de tijd tussen twee trigger pulsen - dit is zijn cyclus - en de tijd waarin hij zich in de semi stabiele toestand bevindt. Na het opnieuw intreden van de stabiele fase is de schakeling nog niet gereed om opnieuw om te slaan. De tijdsbepalende condensator C moet daartoe eerst weer volledig opgeladen zijn. De hersteltijd is $\approx 5 \cdot \tau_{opl} = 5 \cdot R_1 C$.

De maximale werkcyclus η is gelijk aan:

$$\eta \approx \frac{\text{semi stabiele tijd}}{\text{minimale cyclus tijd}} \quad (3.4.1)$$

Deze is voor de beschreven schakeling gelijk aan:

$$\eta \approx \frac{0,4 \cdot \tau_{ontl}}{0,4 \cdot \tau_{ontl} + 5 \cdot \tau_{opl}} = \frac{1}{1 + 13,5 \cdot \frac{R_1}{R_2 + R_3}} \approx 92 \% \quad (3.4.2)$$

De gemeten waarde bleek 90% te zijn.

Neemt men de cyclus tijd kleiner dan de semi stabiele set tijd dan werkt de monostabiele schakeling als tweedeler (bistabiel).

Logisch schema van monostabiele multivibrator.

Bezien wij fig. 3.41. dan valt direct op dat er van "statische en dynamische" terugkoppeling sprake is. (Bij een flip-flop treden twee statische koppelingen op, bij een a-stabiele multivibrator twee dynamische.)

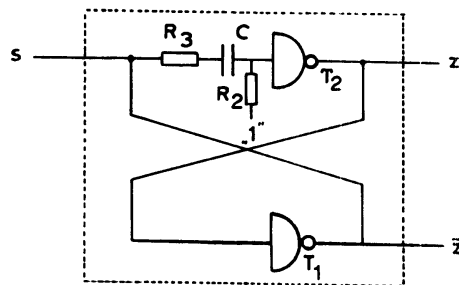


fig. 3.43. Logisch schema

Via R_2 is de ingang van invertor T_2 met +12 Volt ("1") verbonden, daardoor is de rusttoestand van de schakeling de reset toestand: $z = "0"$.

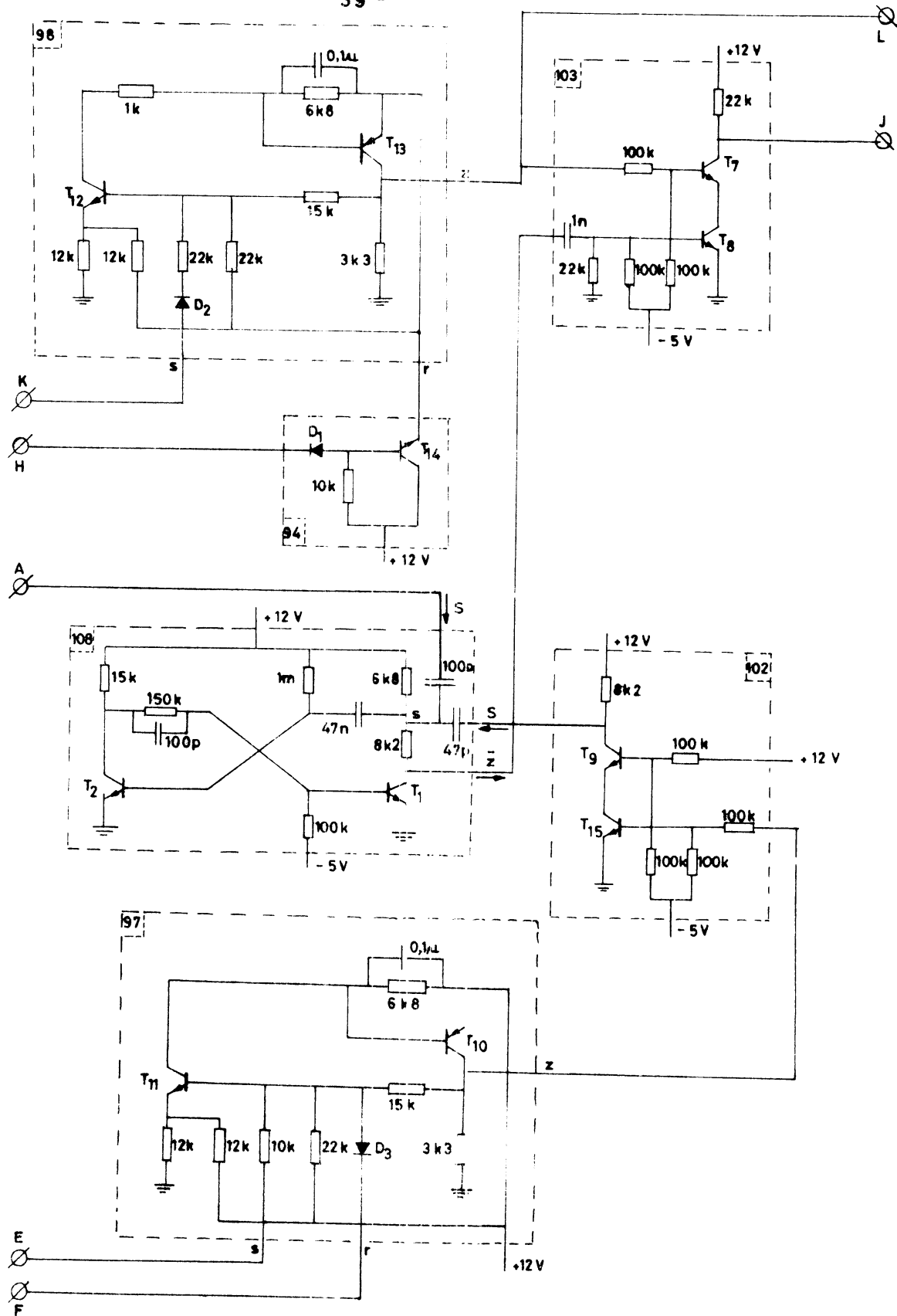
Hfdst.4. Logisch schema van de "Serializer"

Hieronder zijn de deelschakelingen zoveel mogelijk gegroepeerd in logische schakelingen, aangegeven door een arcering.

De diverse componenten uit een figuur zijn op een "printplaat" verwerkt. De aansluitklemmen links (ingangen) en rechts (uitgangen) stellen dan ook de connectorpunten voor. Voor iedere print is uit het elektronisch schema het logische schema afgeleid. Hierbij zijn dezelfde connectorpunten aangegeven. De nummering van de logische figuren is gelijk aan die van de elektronische. De nummervolgorde is door het totale logische schema fig. 4.7. bepaald.

Bij dit logisch schema van de Serializer is gebruik gemaakt van het bedradingsschema, hetgeen niet in dit verslag is opgenomen. De opzet was nl. aan de hand van de bestaande elektronische schema's een logisch schema voor de gehele Serializer op te zetten en daaruit de werking te verklaren, zie hoofdstuk 5.

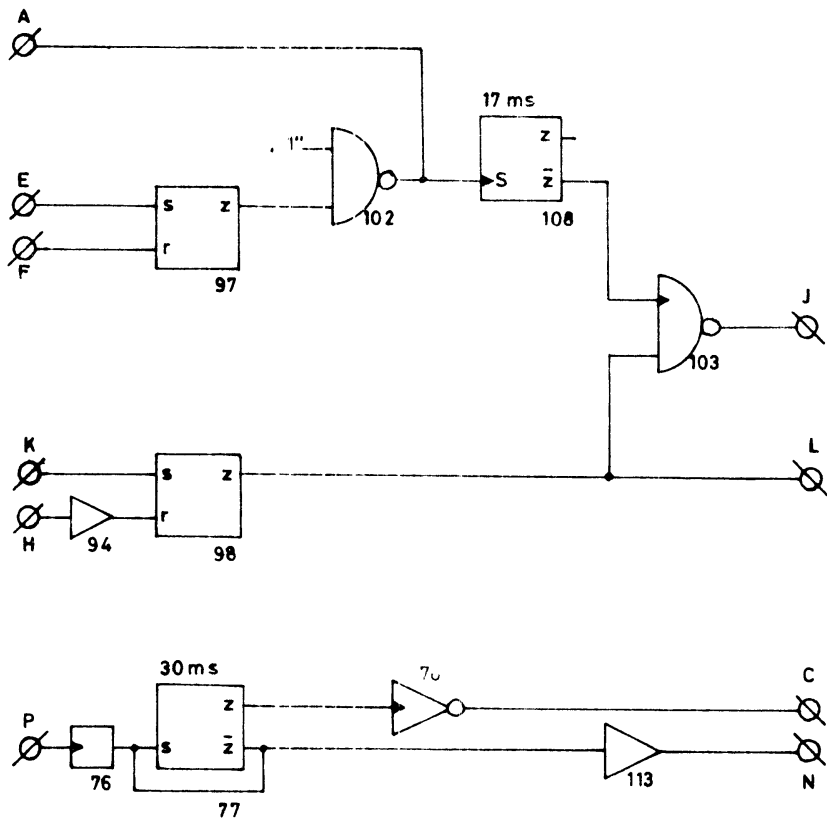
De ringteller ontbreekt in deze reeks figuren, deze is te vinden in hoofdstuk 3, elektronisch schema fig. 3.1.1. en logisch schema is fig. 3.1.5.



KONINKLIJK NEDERLANDS METEOROLOGISCH INSTITUUT

Get: J.v.G.	Gec:	Gez:	Schaal:	Datum: 15 - 6 - '70	Behoort bij: Logica
Kontrolle schakeling.					fig. 4.1.1.



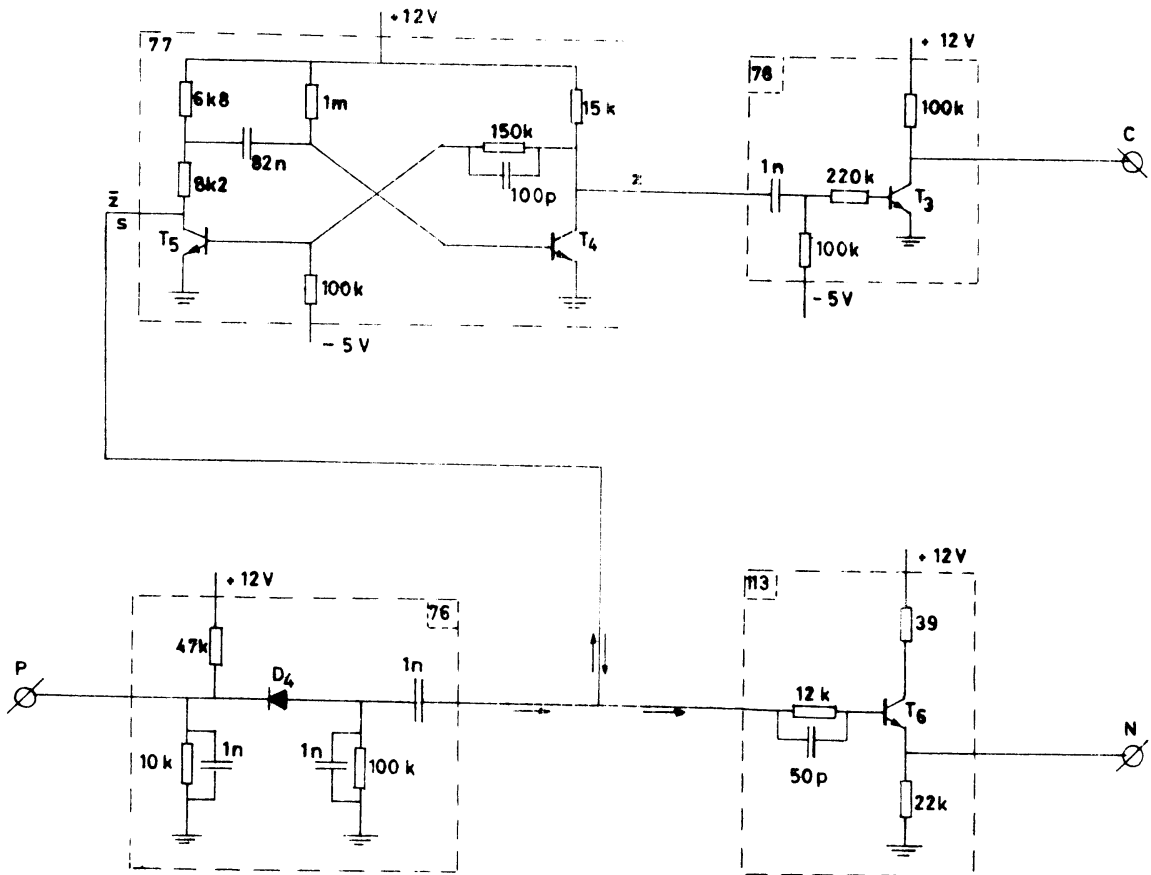


Opm.nr. 76=puls shaper

KONINKLIJK NEDERLANDS METEOROLOGISCH INSTITUUT

Get: J. v. G.	Gec:	Gez:	Schaal:	Datum: 15 - 6 - '70	Behoort bij: Logica
Koppel en controleschakeling.					fig. 4.1.2.



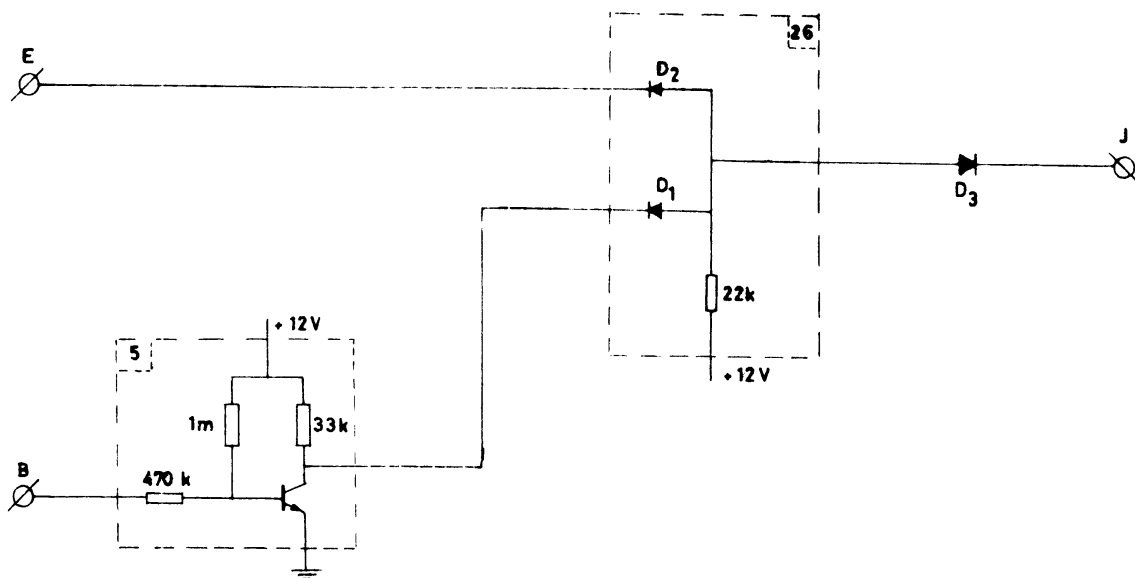


KONINKLIJK NEDERLANDS METEOROLOGISCH INSTITUUT

Get: J. v. G. Gec: Gez: Schaal: Datum: 15 - 6 - '70 Behoort bij: Logica

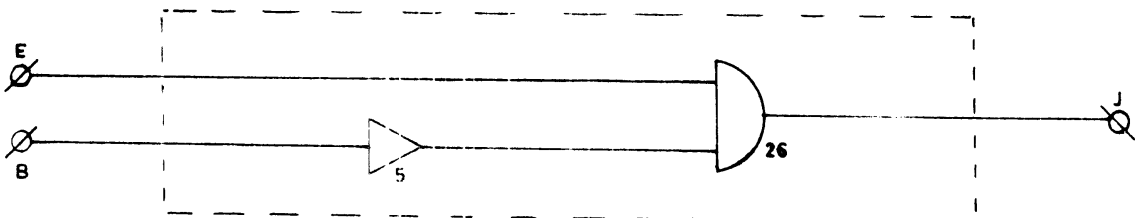
Koppelschakeling (vervolg)

fig. 4.1.3. 



Electronisch schema.

8 stuks op print.



Logisch schema.

nr. 5 = versterker
= aanpassing spanningsniveau's

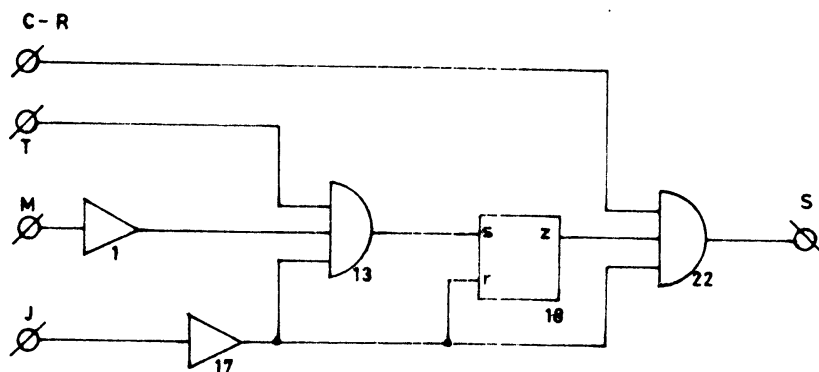
KONINKLIJK NEDERLANDS METEOROLOGISCH INSTITUUT

Get: J. v. G. Gec: Gez: Schaal: Datum: 15 _ 6 _ '70 Behoort bij: Logica

Volgschakeling

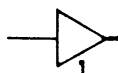
fig. 4.2.

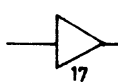




4 stuks op print.

Opm. rs - geheugen \neq RS flip flop

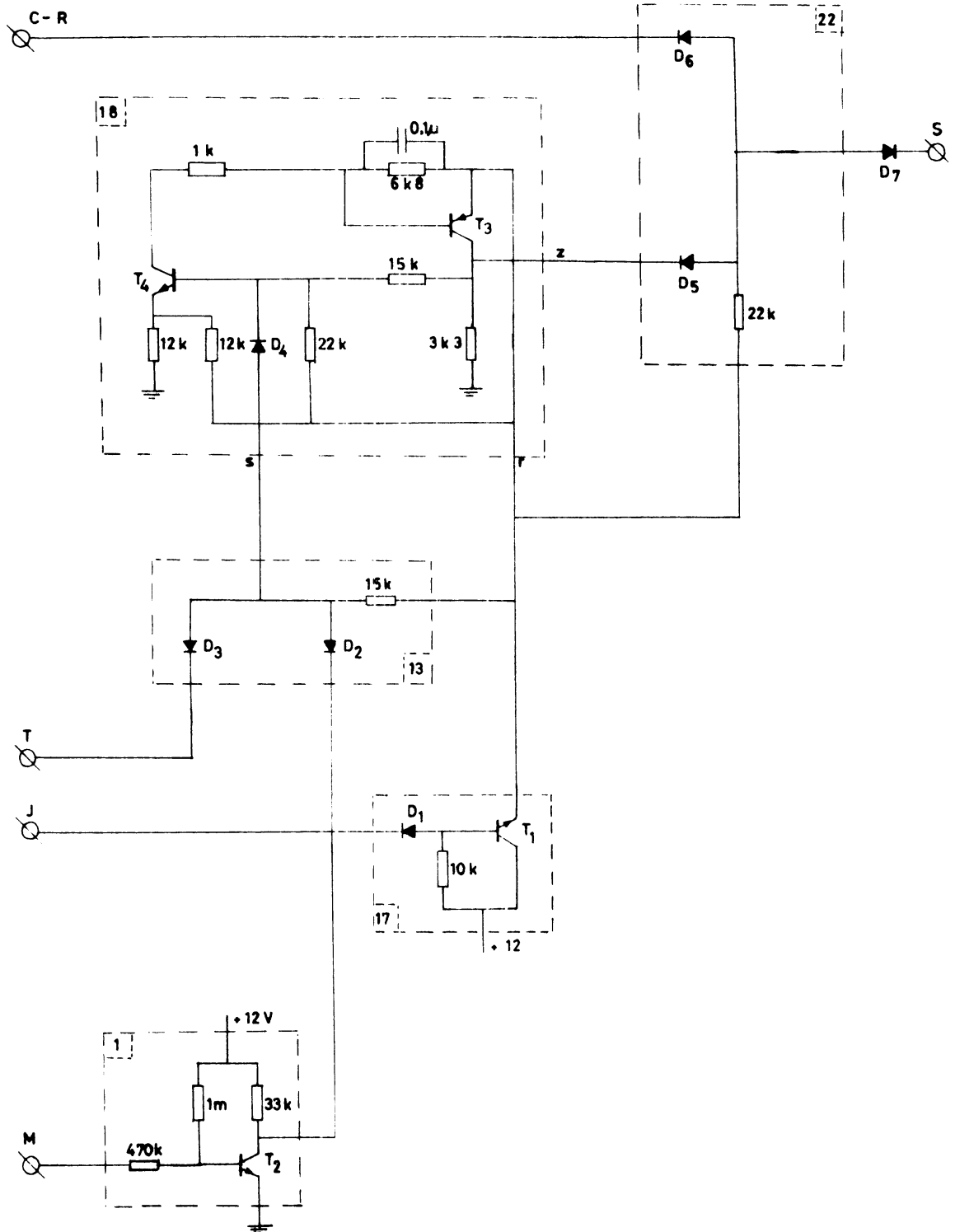
 = emitter volger

 = versterker =
= aanpassing spanningsniveau's

KONINKLIJK NEDERLANDS METEOROLOGISCH INSTITUUT

Get:	J. v. G.	Gec:	Gez:	Schaal:	Datum: 15_ 6 _'70	Behoort bij: Logica
Geheugenschakeling						fig. 4.3.1.





4 stuks op print.

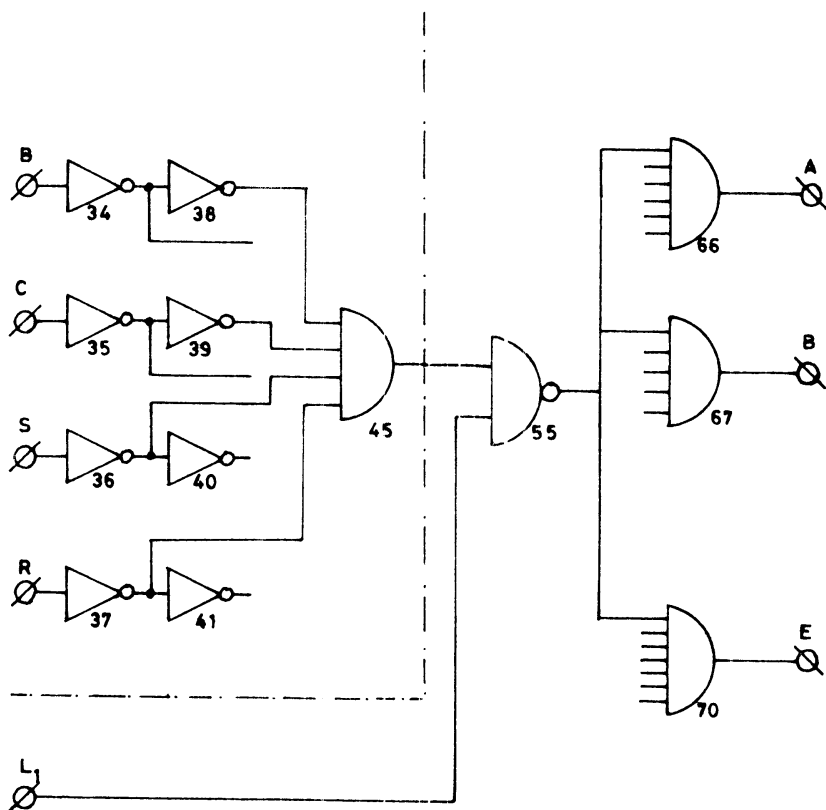
KONINKLIJK NEDERLANDS METEOROLOGISCH INSTITUUT

Get: J. v. G. Gec: Gez: Schaal: Datum: 15 - 6 - '70 Behoort bij: Logica

Geheugen schakeling.

fig. 4.3.2.





Opm: Bovenstaande geldt voor decimale 3.
Andere decimalen geheel analoog en vormen
de ontbrekende verbindingen.

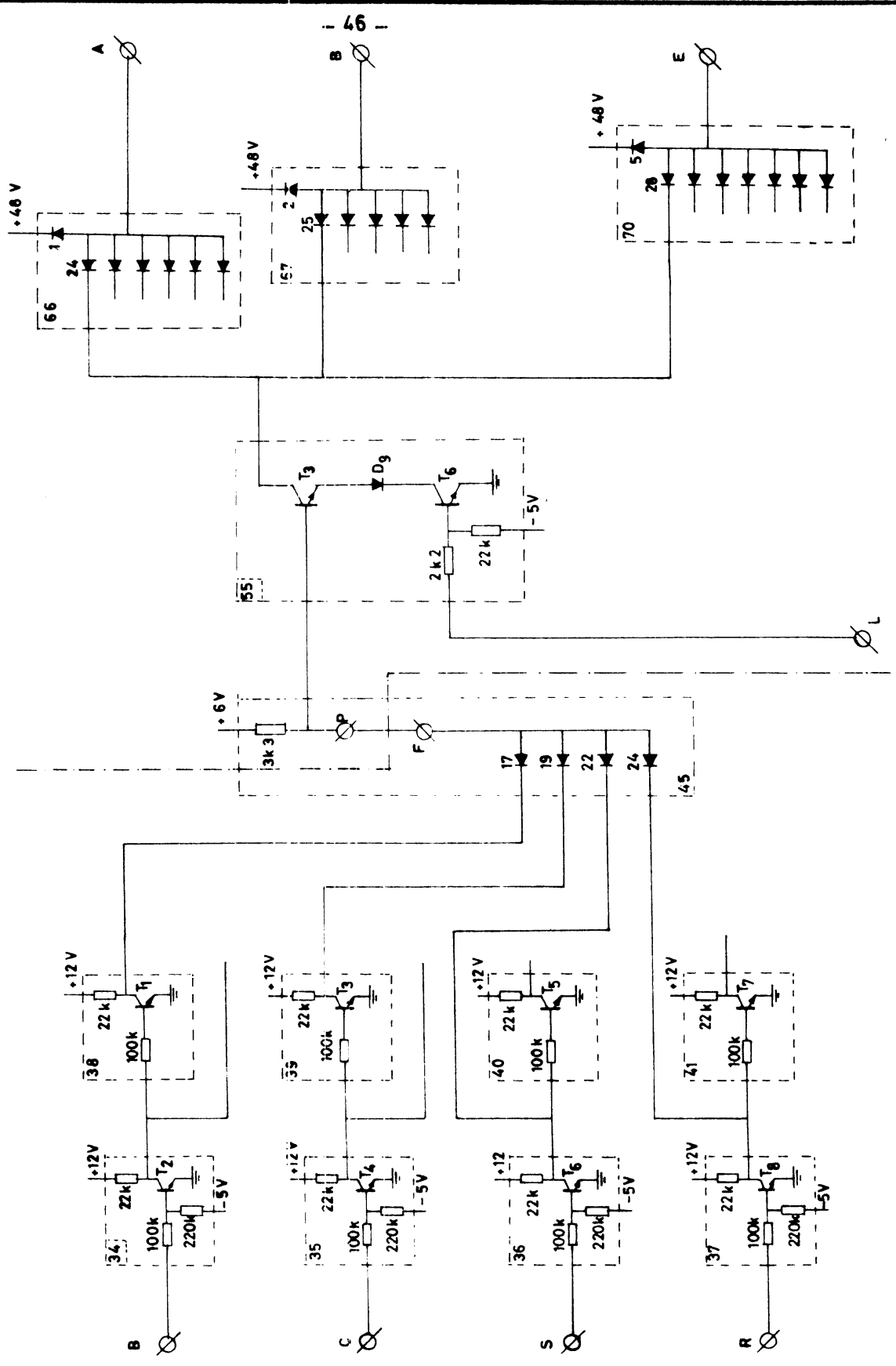
KONINKLIJK NEDERLANDS METEOROLOGISCH INSTITUUT

Get: J.v.G. Gec: Gez: Schaal: Datum: 15_6_'70 Behoort bij: Logica

Codevormers en eindversterkers.

fig. 4.4.1





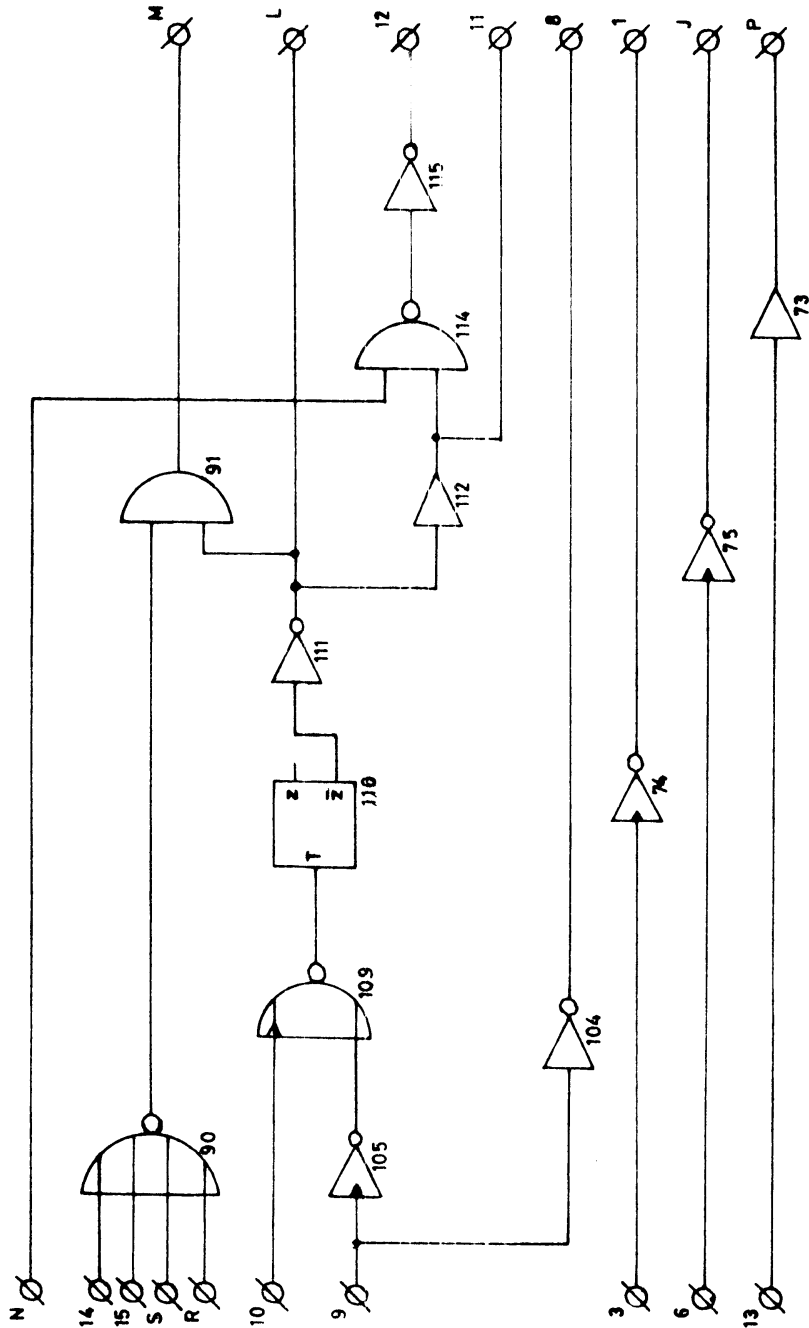
KONINKLIJK NEDERLANDS METEOROLOGISCH INSTITUUT

Get: J. v. G. Gec: Gez: Schaal: Datum: 15 - 6 - '70 Behoort bij: Logica

Codevormers en eindversterkers.

fig. 4.4.2.





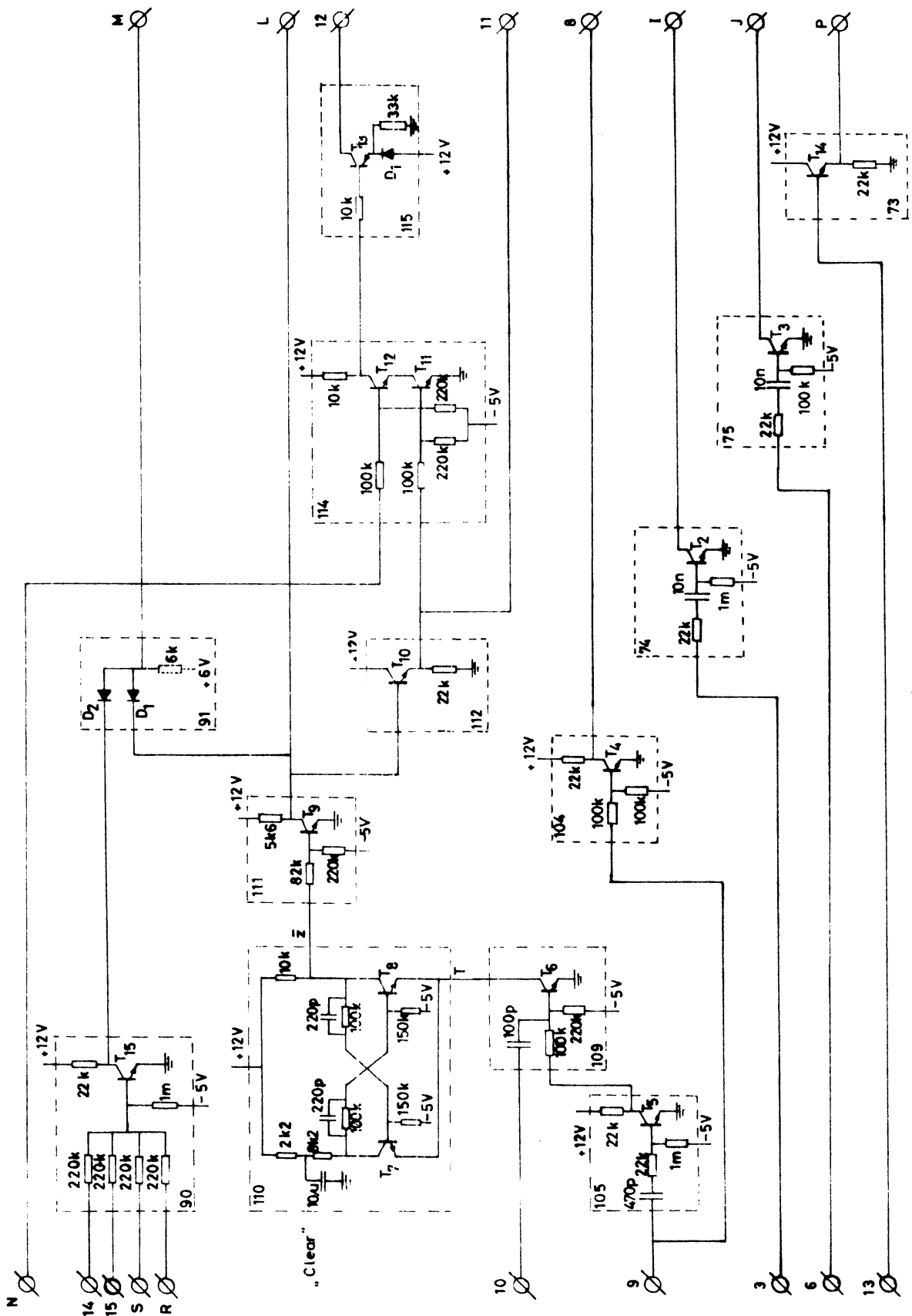
KONINKLIJK NEDERLANDS METEOROLOGISCH INSTITUUT

Get: J. v. G. Gec: Gez: Schaal: Datum: 15 - 6 - '70 Behoort bij: Logica

Controlboard I

fig. 4.5.1.





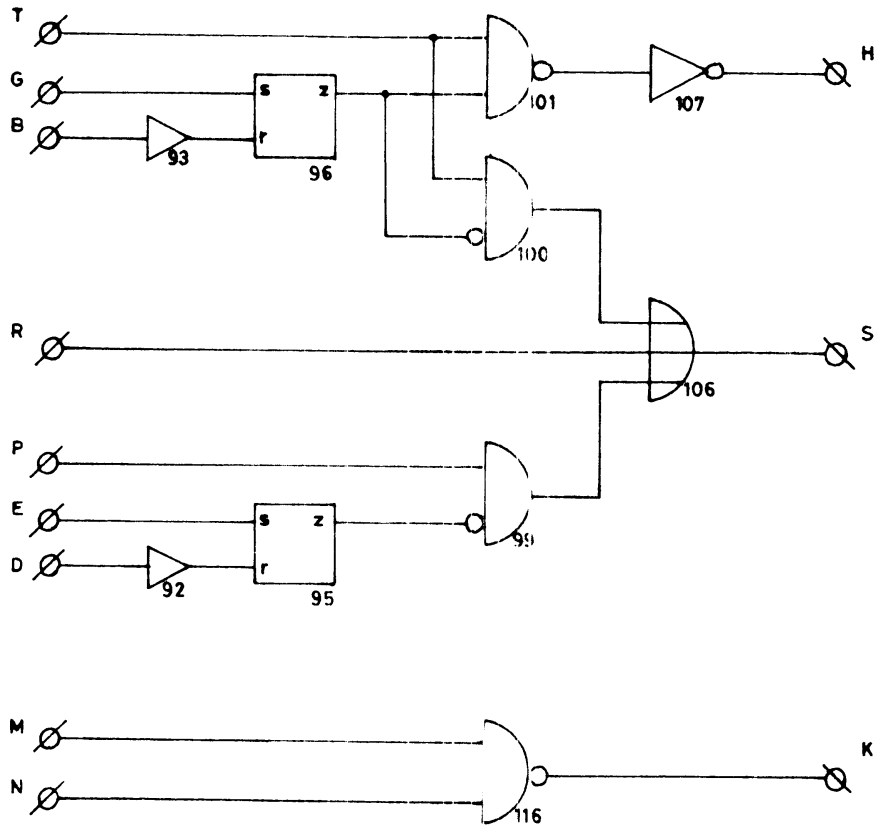
KONINKLIJK NEDERLANDS METEOROLOGISCH INSTITUUT

Get: J.v.G.	Gec:	Gez:	Schaal:	Datum: 15 - 6 - '70	Behoort bij: Logica
-------------	------	------	---------	---------------------	---------------------

Control board. I

fig. 4.5.2.





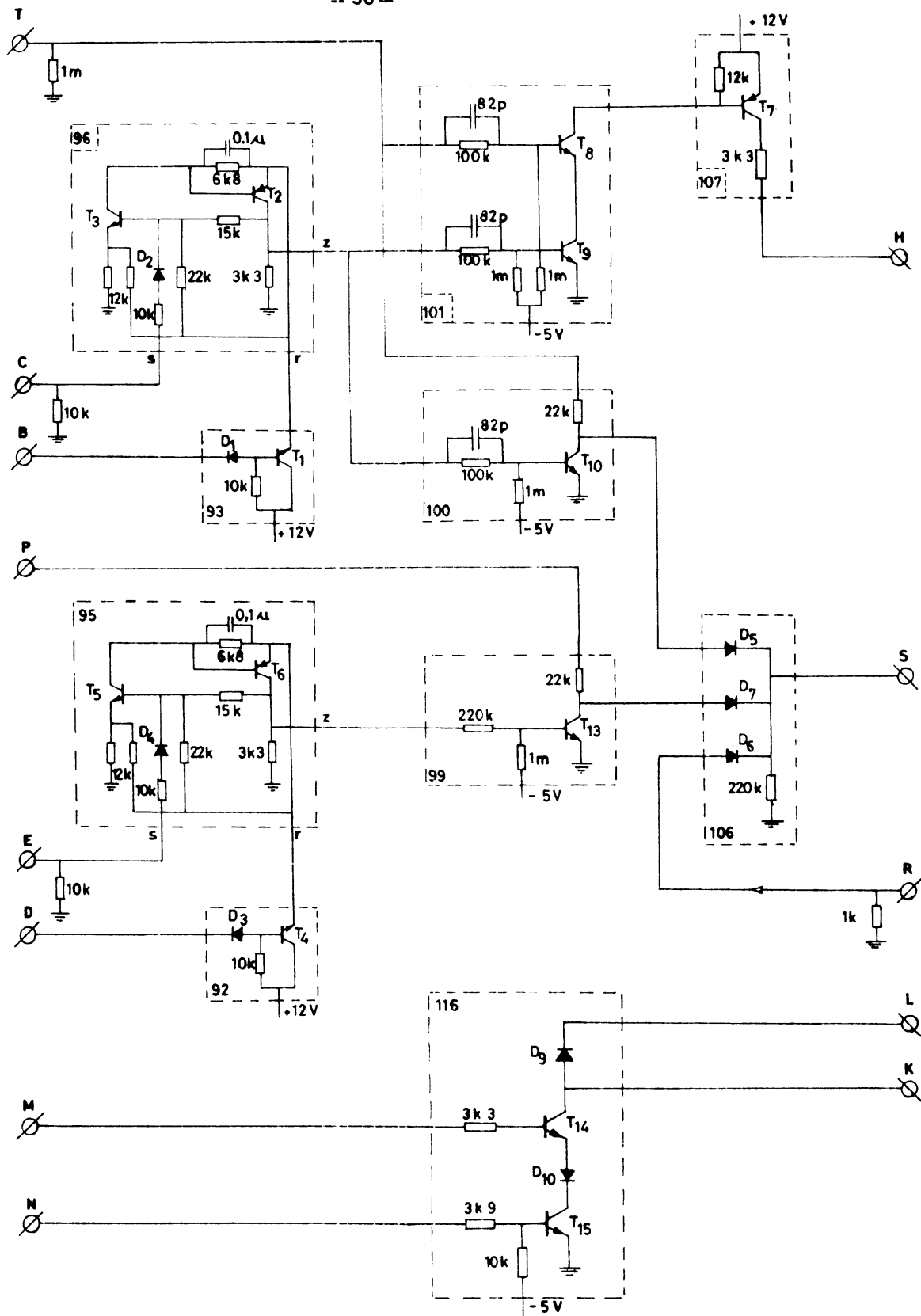
KONINKLIJK NEDERLANDS METEOROLOGISCH INSTITUUT

Get: J. v. G. Gec: Gez: Schaal: Datum: 15 - 6 - '70 Behoort bij: Logica

Controlboard II

fig. 4.6.1.





KONINKLIJK NEDERLANDS METEOROLOGISCH INSTITUUT

Get: J. v. G. Gez: Schaal: Datum: 15_ 6 _'70 Behoort bij: Logica

Control board II

fig. 4.6.2.



Hfdst.5. De werking van de "Serializer" uit logisch schema fig. 4.7. (zie blz. 59)

Indien men de moeite heeft genomen de vorige hoofdstukken goed in zich op te nemen, is in feite alle verdere proza bij het logisch schema van fig. 4.7. overbodig. De kracht van een logisch schema is nl. het directe overzicht over de gehele schakeling.

5.1. Een korte toelichting bij het logisch schema

In fig. 4.7. vormt het schuifregister het hart van de schakeling. Deze zorgt ervoor dat de parallel informatie vanuit de d.v.m. in een voorgeschreven volgorde aan de ponsers wordt doorgegeven. In deze schakeling laat men de synchronisatie door de ponsmachine bepalen (mechanische klokpuls generator).

De besturings flip-flop verzorgt het schoonvegen van alle "bits" en pre-setten van het 1e "bit" in het schuifregister.

Tijdens het "0" zijn van de besturings flip-flop is de NAND nr 114 vrij d.w.z. een van de twee ingangen is "1". De uitgang van deze NAND verzorgt de koppeling tussen aandrijfmotor en ponsmechanisme. De synchronisatie wordt veroorzaakt door de aandrijfmotor van de ponsmachine via "ponstrigger" en "mono stable" nr. 77.

Tijdens het doorgeven van de BCD informatie wordt de ingang van de d.v.m. geblokkeerd d.m.v. het geheugen nr. 98. Dit wordt op zijn beurt weer "geset" zodra in de d.v.m. analoog-digitaal omzetting beëindigd wordt. Deze omzetting duurt bij de gebruikte "integrerende" d.v.m. 20 msec. Indien er een zgn. scheidingsgroep -999 en het symbool CR in de Serializer gegenereerd moet worden, moeten de geheugens nr. 95 en 95 "geset" worden.

Tijdens dit genereren doet zich een bijzondere situatie voor nl. het 2e, 3e en 4e "bit" van het schuifregister blokkeren dan de en-poorten 22 t/m 33. D.w.z. de binaire code $A = B = C = D = "0"$, met als resultaat dat de ingangen van de en-poort 42 allemaal op "1" staan en er via nr. 52 een decimale nul geponst zou kunnen worden. D.m.v. de poorten 90 en 91, aangesloten op het 5e t/m 10e "bit" van het schuifregister, wordt in dat geval echter de NAND nr. 52 geblokkeerd tijdens het "1" worden van de uitgang van invertor nr. 115.

Hetzelfde geldt tijdens het intern genereren van het + symbool door het 1e "bit" van het schuifregister. In dit geval echter door het "Clear signaal" voor het schuifregister dat tevens en-poort nr. 91 blokkeert.

Het 2e t/m 4e "bit" van de schuifregisters verzorgen tenslotte het ponsen van de een-, tien- en honderdtallen uit de d.v.m. Bij het inkomen ("1" worden) van het 4e "bit" wordt het geheugen nr. 98 gereset dit impliceert dat de d.v.m. een nieuwe meting start.

Bij het "1" worden van het 1e "bit" van het s.r. worden de geheugens nr. 18 t/m 21 gereset. Door de dynamische werking van invertor nr. 74 is het resetten van korte duur. Onmiddellijk daarna zal afhankelijk van de BCD uitgang van de d.v.m. een of meer geheugens geset worden. Door het "1" worden van het 4e "bit" van het s.r. kan deze BCD code uitgelezen worden.

Het "handstart" geheugen nr 97 wordt gebruikt om het ponsen van een waarnemingsreeks te starten. Na de ponsing van de eerste waarneming wordt ook dit geheugen weer gereset. De start kan ook vervuld worden door de (eerste) klokpuls van een kanalenkiezer, die het achter elkaar aftasten van de verschillende meetvoelers verzorgt. Uit de "Serializer" kunnen hiertoe klokpulsen afgeleid worden: de uitgang van het 1e "bit" van het schuifregister is naar buiten uitgevoerd.

Uit fig. 4.7. is tenslotte na te gaan dat het schuifregister vanaf het 1e "bit" doorstapt tot en met:

- a. het 4e "bit"; indien de geheugens nr. 95 en 96 in "reset" blijven, dan staan de NAND-gates nr. 99 en 100 open en kan bij het opkomen van het 5e "bit" de besturings flip-flop "geset" worden. Daardoor worden alle "bits" via invertor nr. 111 schoongeveegd.
- b. het 8e "bit", indien het "scheidingsgroep" geheugen nr. 95 geset staat. Daardoor is dan NAND-gate nr. 99 geblokkeerd en kan het 5e "bit" niets uitrichten. Staat het geheugen nr. 96 in de "0" (reset" toestand dan zal bij het opkomen van het 9e "bit" de besturings flip-flop geset worden, waardoor het schuifregister schoongeveegd wordt.
- c. het 9e "bit", indien tenslotte zowel het geheugen nr. 95 als 96 geset staan. In dat geval wordt er na de d.v.m. informatie de "scheidingsgroep" -999 en daarachter "C.R." geponst.

5.2. In- en uitvoer van de Serializer

Op de Serializer is een "Friden ponsen" aangesloten. Deze bezit een maximale ponsnelheid van "20 karakters" per seconde. Hiermee wordt bedoeld dat er 20 rijen gaten (achter elkaar) per sec geponst worden. In ons geval bestaat zo'n karakter uit een decimaal cijfer, een plus- of minteken of het symbool voor Carriage Return. Door deze laatste ponsing wordt bij het uitprinten op de flexowriter of regeldrukker overgegaan op een nieuwe regel.

Bij maximale snelheid levert de ponsmachine dan om de 50 msec een ponstrigger. Deze wordt veroorzaakt door een nok op de as van de ponsmachine, waarop een microschakelaar ("micro-switch") gedurende ≈ 16 msec dichtgedrukt wordt. Doordat hierop -5 volt is aangesloten ontstaat er een negatieve triggerpuls gedurende 16 msec naar -5 volt. Een "micro switch" levert een mechanisch effect op: denderen ("bouncing") d.i. natrillen van het veercontact in zo'n schakelaar. In de bestaande Serializer is hiervoor als remedie een "analoog filter" - een zgn. "puls shaper" nr. 76 - toegepast. Door de spanningsdeling hierin heeft de ponstriggeringang een rustspanning van +2 volt. Verder is in schakeling nr. 76 een diode geschakeld, waardoor alleen negatieve pulsen worden doorgelaten. Door deze negatieve puls wordt "monostable" nr. 77 geset (z: = "1"). De dynamische invertor nr. 78 zorgt dan voor een negatief gaande klokpuls voor het schuifregister.

Nadat een ponsing is opgetreden (ponsspennen hoog geweest zijn) worden de ponsspennen relais gereset doordat de NAND's nr. 52 t/m 65 gedurende 30 ms geblokkeerd worden. Dit gebeurt synchroon met het afkoppelen van het ponsmechanisme van de aandrijfmotor. Beide signalen zijn nl. afkomstig van mono nr. 77.

De integrerende d.v.m. bezit een integratie tijd van 20 ms en levert op het eind hiervan een positief gaande piekspanning van ≈ 20 volt. Daardoor wordt het geheugen nr. 98 geset. De tijdsduur tussen twee "einde meting" pulsen is instelbaar tussen ≈ 144 msec en ≈ 4 sec, d.i.: "display time" (= uitleestijd) van de digitale voltmeter. De bemonsteringsfrequentie ("sample rate") van de d.v.m. is daarom instelbaar tussen ruwweg 0,25 en 7 Hz. Dit is af te leiden uit de monostabiele multivibrator in de Vidar 500 die de "display time" bepaald. Deze monostable (ook wel "one-shot" genoemd) wordt echter na iedere bemonstering, tijdsduur 20 msec, geblokkeerd gehouden door de uitgang van het geheugen nr. 98 in de Serializer. Deze levert nl. na setten +12 volt en voor het blokkeren van de "uitlees monostabiele multivibrator" is $\approx +3,6$ volt nodig. De tijdsduur van deze blokkering is bepaald door de 4 eerste "bits" van het schuifregister en de integratie tijd van de d.v.m.: blokkeringstijd ≈ 200 msec. De bemonsteringsfrequentie is dan door de ponsmachine-snelheid bepaald op 5 Hz.

Tijdens het ponsen van de eenheden, dit gebeurt doordat het 4e "bit" de enpoorten nr. 22 t/m 25 opent, vindt een nieuwe bemonstering plaats.

De informatie invoer gebeurt bij de d.v.m. door negatieve pulsen van (-14 + 5) volt = "1". Door de "vertalers" nr. 1 t/m 12 wordt deze negatieve logica omgezet in positieve logica ("1" = +12 volt).

De geheugens voor scheidingsgroep nr. 95 en voor C.R. symbool nr. 96 kunnen "geset" worden door een signaal van > +6,6 volt aan S-ingang toe te voeren. Voor het handstartgeheugen nr. 97 geldt hetzelfde, behalve dat bij de S-ingang geen diode gebruikt is, zie fig. 4.1.1, waardoor deze ingang na "setten" niet naar "0" gebracht mag worden (zie ook fig. 5.3.1).

De ponsspoulen staan aan een zijde op +48 volt. De "negatieve" zijde is doorverbonden met de en-poorten nr. 66 t/m 72. Zodra een der ingangen van deze en-poorten een logische "0" aangeboden krijgt, betekent dit, dat de bijbehorende spoel ($R = 625 \Omega$) bekrachtigd wordt. Hetzelfde geldt voor de koppelingsspoel ($R = 100 \Omega$), deze is aangesloten op de NAND-gate nr. 116.

5.3. Het tijdsdiagram van de "Serializer", zie fig. 5.3.1.

De +12 volts voeding vanaf de voedingsprint is m.b.v. onderstaande schakeling doorverbonden met de diverse voedingspunten van de "prints" in de Serializer:

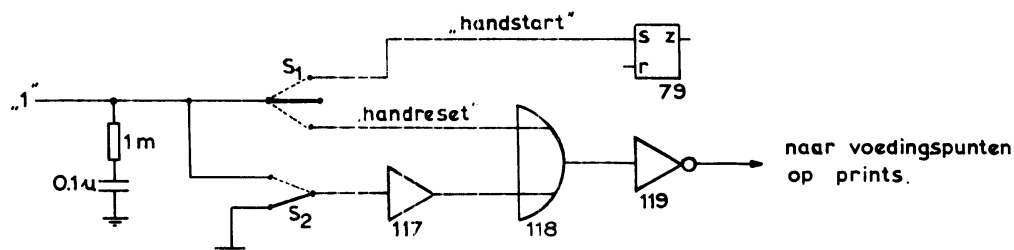
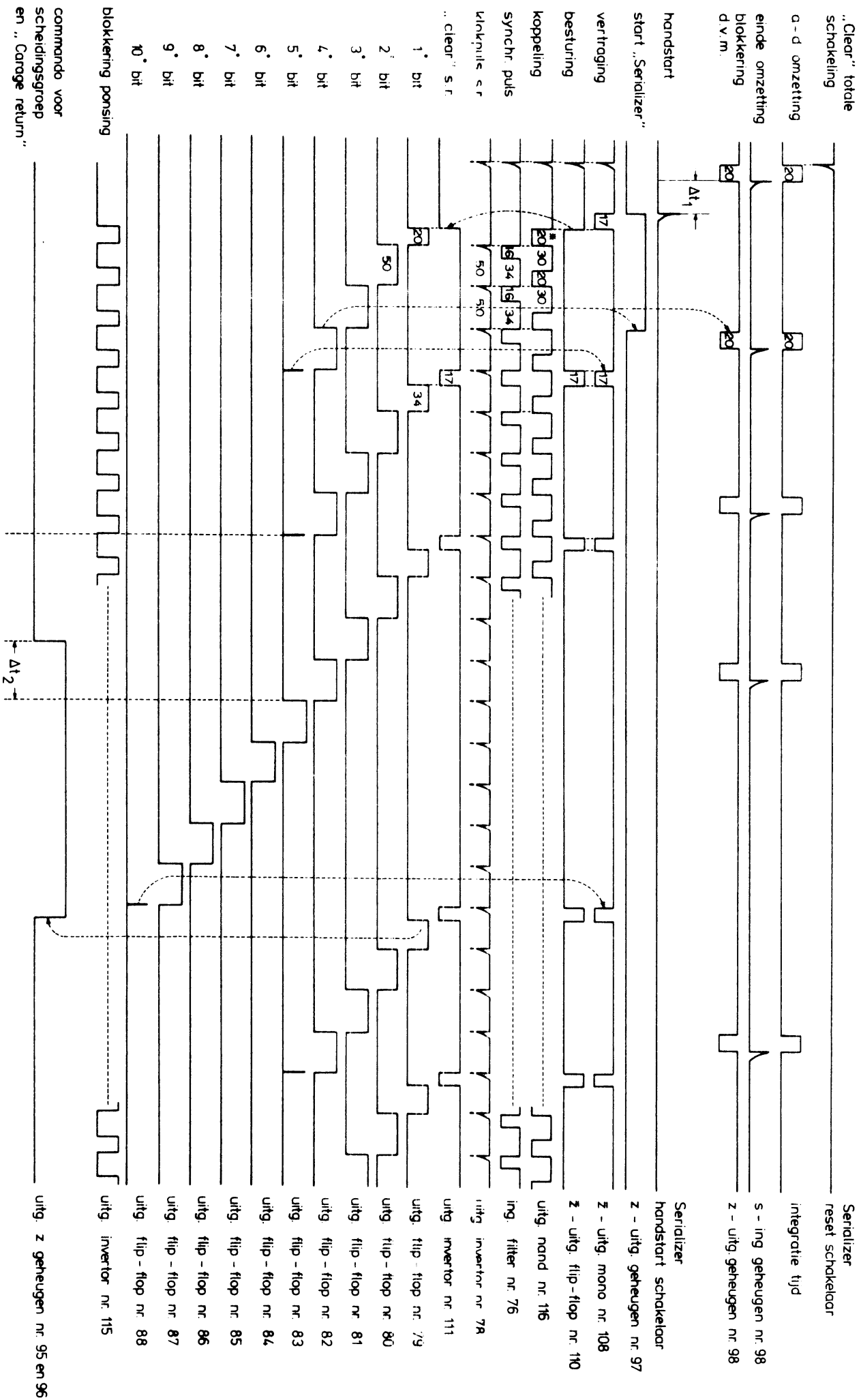


fig. 5.3.2. De set-reset schakeling van de gehele Serializer schakeling

De schakelaar S_1 is een drie standen schakelaar, de middenstand is de ruststand (bedrijf). Schakelaar S_1 naar boven wippen betekent een positieve puls naar het handstartgeheugen nr. 97, wat daardoor "geset" wordt. Uit fig. 5.3.2 is duidelijk dat de S-ingang van het geheugen nr. 97 na de set-puls niet naar "0" blijft. Door S_2 naar beneden te drukken wordt de gehele Serializer schakeling "gereset" (een nogal brute methode). De uitgang van de inverter nr. 119 gaat daarbij naar "0". Deze inverter nr. 119 wordt gevormd door een mechanisch "verbreek contact" dit is nl. normaal gesloten. De emitter volger bestaat uit een transistor type BSY 90. De schakelaar S_2 wordt gevormd door twee schakelaars in serie, beiden in de ponser aanwezig. De eerste zit mechanisch gekoppeld aan de netvoeding van de ponsmachinemotor, de tweede is een verbreekcontact dat normaal dicht is en bij het breken van de ponsband opspringt.



Tijden zijn aangegeven in millisecon. Δt_1 = willekeurig, extern te bepalen. $20 < \Delta t_2 \leq 180$ ms

Bekrachtigings vertraging koppeling = 14 ms
 Synchr puls komt 45° hierna $\frac{= 6 \text{ ms}}{= 20 \text{ ms}}$

Wij gaan er nu vanuit dat de d.v.m. en de ponsmotor ingeschakeld zijn. Dan is de d.v.m. geblokkeerd. Door de gehele schakeling te resetten wordt ook het geheugen nr. 98 gereset. Door direct daarna een handstart te geven kan een recente meting geponst worden. De tijdsduur tussen dit resetten en starten wordt bepaald door de snelheid waarmee de schakelaar S_1 omgezet wordt. Een meetcyclus wordt, in deze uitvoering, gestart door de handstartschakelaar en gestopt door dezelfde schakelaar S_1 werkend als "handreset". Per definitie staan in fig. 4.7 alle volgschakelingen na de handreset in de resettoestand: $z = "0"$. Rusttoestanden van monostabiele multivibrators zijn dus resettoestanden.

Hfdst.6. Conclusies en aanbevelingen

- a. "Ponstrigger". De fysische verklaring voor "denderen" is "overshoot" door te geringe demping van het veercontact. In logische termen kunnen wij ook spreken van een te geringe geheugenwerking. Logisch is het daarom een geheugensteun te leveren in de vorm van een bistabiele multivibrator ("RS-flip-flop").
- Bij het zich voor de eerste maal sluiten van de microswitch kan dan dit geheugen geset worden. Zoals wij in § 3.3 zagen heeft daarna de S-ingang geen invloed meer op de uitgang van het geheugen. De reset-ingang van de flip-flop moet daarbij gevormd worden door het tweede contact op de micro-schakelaar.
- b. In de Serializer blijkt het nodig, bij het intern genereren van symbolen, de uitgang van de en-poort nr. 42 te blokkeren. De B.C.D. informatie levert anders nl. een nul door de symbool ponsing heen. Doordat in de flexowriter code de nul vastgelegd wordt door slechts een enkel ponsgat, ontstaat in dat geval een verboden even pariteit.
- In plaats van bovenstaande oplossing is er een meer logische. De B.C.D. code bestaande uit de 4 bits 1 2 4 8 levert $2^4 = 16$ combinatiemogelijkheden. Voor het uitlezen van decimale cijfers zijn er slechts 10 combinaties in gebruik. Er blijven er nog 6 over. Deze zijn te gebruiken voor het ponsen van andere symbolen.
- Uit de logica volgt verder dat de cijfers 8 en 9 met een zekere redundantie (= overvloedigheid) zijn aangegeven. Gebruikt men nl. de 1 2 4 8 code (= A B C D) slechts alleen voor de decimale cijfers dan zijn 8 en 9 uniek weer te geven door: $8 = \bar{A} D$ en $9 = A D$.
- c. Bij moderne rekenmachines laat men de synchronisatie liefst niet door mechanische delen bepalen. M.b.v. "kwarts klokken" zijn zeer hoge nauwkeurigheden te bereiken en werken daarom betrouwbaarder. Bij synchronisatie door de ponsmachine levert verwisseling ervan problemen, zeker als men punt a hierbij in aanmerking neemt. Dit nu is de reden dat er ponsmachines op de markt zijn die maximaal 110 karakters per seconde kunnen ponsen. Bij deze maximale snelheid spreekt men dan van synchrone werking. Lagere snelheden leveren daarbij geen mechanische rem problemen op, men spreekt in dat geval van a-synchrone werking.
- d. Uit het tijdsdiagram blijkt dat de controle flip-flop nr. 110 om beurten geset en gereset wordt langs twee verschillende wegen.
- In zo'n geval is het verstandiger een RS-flip-flop te gebruiken, deze is nl. minder "storingsgevoelig" dan de Toggle flip-flop.

e. Meettechnisch is het niet logisch getallen te ponsen, waarvan de relatieve fout tenminste 20% bedraagt. De specificaties van de Vidar 500 zijn dan ook niet hoog te noemen. Hierbij is niet bedoeld de specificatie ± 1 digit, dit is nl. de resolutie van de meter. Meten betekent altijd het vergelijken met een of andere standaard. Bij betrouwbare meters bestaat deze spanningsstandaard uit een ijkcel zoals een Weston element. In de Vidar 500 is dit een afgedeelte Zener spanning.

Tenslotte berusten digitale metingen op het zeer zuiver genereren en meten van tijdsintervallen. Door het gebruik van monostabiele- i.p.v. bistabiele delers in de Vidar 500 is er geen sprake van hoge nauwkeurigheid en betrouwbaarheid.

In plaats van éénheden is het logischer de duizendtallen te ponsen ("4 digits d.v.m."). Een bezwaar van genoemde d.v.m. is dat het "telwerk" niet verder gaat dan 3.000.

f. In de analoge (bv. radio) techniek wordt een transistor gebruikt als versterker. De grootte van de lineaire versterking (en daarmee de vervorming) bepalen in dit geval de instelcriteria. Bij de toepassing van transistors in de digitale techniek zijn deze criteria essentiëel anders. In dit geval wordt de transistor meestal gebruikt als niet-lineair element nl. als schakelaar. Het instelcriterium is daarbij formule 2.1. Hieraan is o.a. bij de koppelingsspoel "NAND" nr. 116 niet aan voldaan. Vandaar dan ook:

1. Regelmatig "doorbranden" van de transistors T_{14} en T_{15} in deze "NAND".

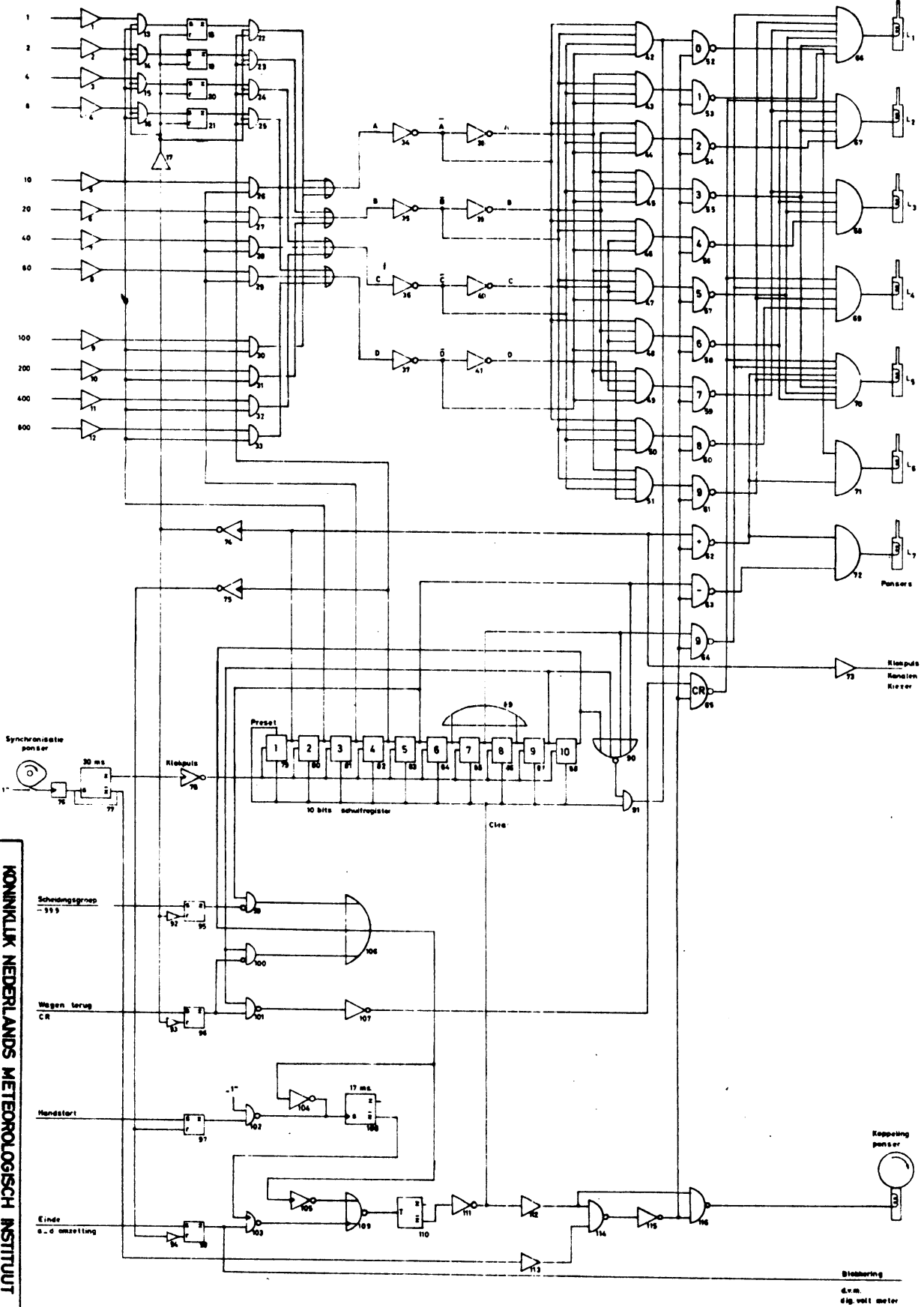
Transistor T_{15} is een BSY90 en bezit tevens een te lage U_{ceo} .

2. Te weinig bekrachtigingsstroom door de koppelingsspoel.

3. Temperatuur afhankelijkheid, vanwege de niet als ideale spanningsbron fungerende NAND nr. 116.

Bij de ponsspoelen zijn geen afzonderlijke "buffers" (= versterkers) toegepast. De belasting van de ponsspoel NAND nr. 52 t/m 65 wordt bepaald door de gebruikte soort code van de uitgang. Drie ponsspoelen op een NAND vormt een te hoge belasting, zie formule 2.1.

Info
d.v.m.



KONINKLIJK NEDERLANDS METEOROLOGISCH INSTITUUT
 Gedeel. J v G Gedeel. Gedeel. School: Datum: 15. 6. '70 Bericht bij Logica
 Logisch Schema Schematizer
 fig 47

Litteratuur

1. College Digitale signaal verwerking '69-'70.
Prof. Ir. B.P.Th. Veltman, Phys. lab. Utrecht.
2. Cleary J.F. (ed.)
Transistor Manual
General Electric, 1964
3. 100 typische Schaltungen mit Halbleiten Bauelementen.
I.T.T., 1967.
4. Davidse, J.
Grondslagen van de elektronica, deel 4.
Prisma Technica, 1970.
5. Oberman, R.M.M.
Disciples in combinational and sequential circuit design
McGraw Hill Electrical and Electronic Eng. Series, 1970.
6. Collegedictaat Schakeltechniek '69-'70.
Lector A. Snijders, Afd. Electrotechniek, T.H. Delft.