

**KONINKLIJK NEDERLANDS  
METEOROLOGISCH INSTITUUT**

WETENSCHAPPELIJK RAPPORT  
SCIENTIFIC REPORT  
81 - 9

J.J.M. van Gorp

Funktionele beschrijving van het K.N.M.I.  
-  $\mu$ P - systeem



---

De Bilt 1981

Publikatienummer: K.N.M.I. W.R. 81-9 (IG)

Koninklijk Nederlands Meteorologisch Instituut,  
Instrumentatie en Gegevensverwerking,  
Postbus 201,  
3730 AE De Bilt,  
Nederland.

U.D.C.: 551.508.824 :  
681.3

Funktionele beschrijving van het K.N.M.I. - $\mu$ P- systeem.

Samenvatting.

In dit verslag wordt een globale beschrijving gegeven van een eigen micro-processor-systeem. Dit systeem is ontwikkeld om als een "automatisch weerstation" te kunnen fungeren.

Op grond hiervan worden bepaalde functies en concepten toegelicht.

Specifieke ontwerp criteria en meetresultaten worden in afzonderlijke bijlagen besproken.

Er bestaan gedetailleerde elektronische schema's en bouwtekeningen voor de (massa) produktie van dit systeem.

21-08-1981.

## Samenvatting

In dit verslag wordt een globale beschrijving gegeven van een micro-computer-systeem. Dit systeem is door het K.N.M.I. ontwikkeld, om als stuur orgaan van een automatisch weerstation te fungeren.

Op grond hiervan worden essentiële functies en concepten toegelicht.

Specifieke ontwerp criteria en meetresultaten worden in afzonderlijke bijlagen besproken.

Gedetailleerde mechanische en elektronische schema's zijn beschikbaar voor de massa produktie van het systeem.

## Summary

In this report a global description is given of a micro-computer-system. The system is developed at the Royal Netherlands Meteorological Institute as the controlling component of an automatic weather station.

Essential properties and specifications are described.

Specific design criteria together with experimental results are explained in separate appendices.

Detailed mechanical and electronic diagrams are available for the mass production of the system.

INHOUDSOPGAVE.

	Blz.
1. Inleiding: Systeem opzet.	4
2. Waaruit bestaat het K.N.M.I. - $\mu$ P- systeem.	7
3. De systeem kaarten.	9
3.1. De processor kaart.	11
3.2. De geheugen kaart.	15
3.3. De seriële in- en uitvoerkaart.	17
3.4. De parallelle in- en uitvoerkaart.	21
3.5. De "scanner" in- en uitvoerkaart.	24
3.6. De teller-kaart	28
3.7. De interrupt kaart.	31
3.8. De cassette recorder stuurkaart	35
4. De speciale kaarten in het $\mu$ P-systeem.	44
4.1. De systeembus.	45
4.2. De verlengingskaart.	46
4.3. De voedingskaart.	47
4.4. De galvanische scheidingskaart.	48
4.5. De RS-232 C aanpassingskaartjes.	50
4.6. De differentiële aanpassingskaartjes.	52
4.7. De kalender klok kaart.	53
4.8. De handbediening en uitlezing van de processor werking.	56
4.9. De dekodering en vermogens sturing van cijfer display's.	59
5. Programmering van het K.N.M.I. - $\mu$ P- systeem.	60

APPENDICES:

	Blz.
A. Definitie en oorsprong van de universele bus signalen.	62
B. "Handshake" mechanisme bij de serie-kaart.	70
C. "Handshake" mechanisme bij de parallel-kaart.	73
D. Besturing van de teller-kaart.	77
E. "Handshake" mechanisme bij de interrupt kaart.	79
F. Het Digitale "phase lock loop" regelsysteem op de cassette recorder stuurkaart.	82
Literatuur opgave	86

1. Inleiding: systeem opzet.

Het meten en interpreteren van meteorologische grootheden, was in het begin van deze eeuw louter een kwestie van menselijke observatie. Geleidelijk aan werd de waarnemer gesteund door meer en meer geperfectioneerde mechanische- en in later stadium elektronische instrumenten.

Voor de interpretatie van de meteorologische situatie werd gebruik gemaakt van (analoge) registraties. Een ingrijpende verandering veroorzaakte de (digitale) rekenmachine. Hiermee worden numerieke meetwaarden bewerkt en voor menselijke interpretatie geschikt gemaakt.

De snelle technische ontwikkeling bracht een relatief goedkope digitale bouwsteen voort: de "micro-processor" ( $\mu P$ ). Met behulp hiervan zijn programmeerbare meetsystemen in veelvoud op te zetten, waaronder "automatische weerstations".

Daarom is door de Instrumentele Ontwikkelingsgroep, van de Insa, een toepasbaarheids-onderzoek verricht. Daarbij bleek o.a. dat:

- de  $\mu P$  zeer geschikt is om meteorologische metingen te automatiseren.
- de  $\mu P$  markt verre van stabiel was, maar integendeel innovatie gevoelig.
- van standaardisatie weinig sprake was.

Op grond van deze resultaten is eind 1975 besloten tot de ontwikkeling van een eigen "K.N.M.I. - $\mu P$ - systeem". Begin 1979 was het basis ontwerp gereed en sedertdien zijn er een 20-tal systeem in produktie genomen.



Een overzicht van dit basis systeem is te vinden in onderstaande figuur:

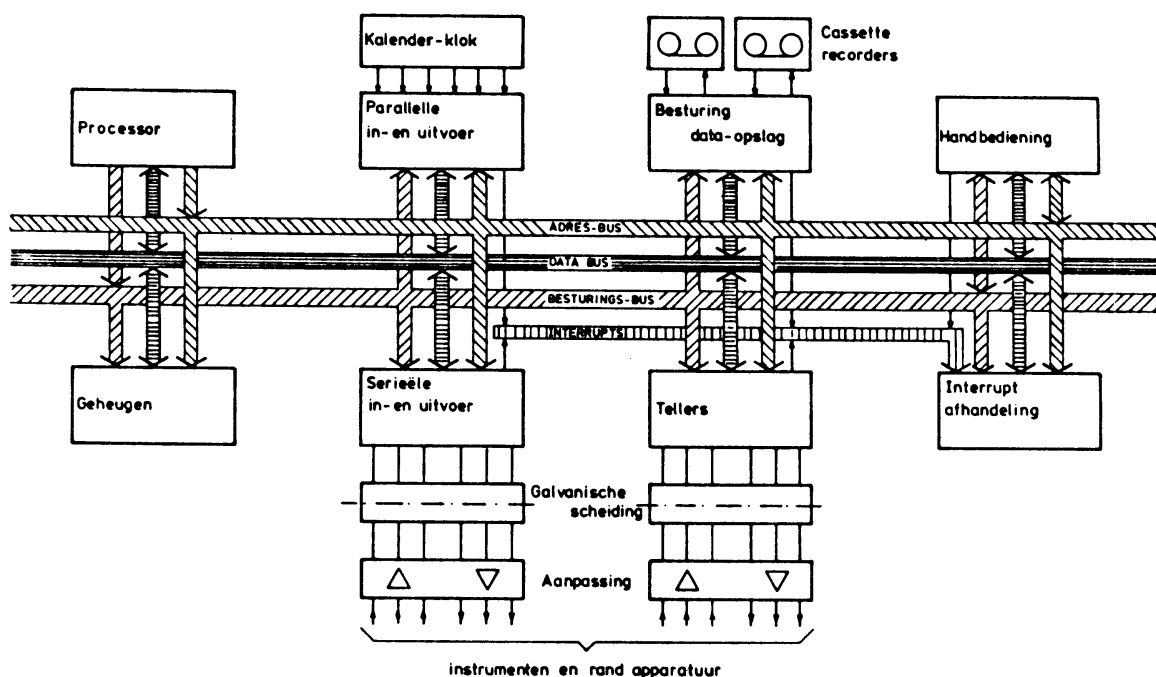


Fig. 1 Algemene opzet van het "K.N.M.I. -µP- systeem".

Een nadere detaillering en het aangeven van de mogelijkheden en beperkingen van dit systeem is het doel van dit verslag.

Uit fig. 1 is o.a. op te maken, dat:

- het data transport tussen de processor en de buitenwereld zowel serieël als parallel mogelijk is.
- ook pulsvormige signalen verwerkbaar zijn.
- een tijdsmarkering aanwezig is.
- informatie opslag te realiseren is m.b.v. cassette recorders.
- een controle op de al dan niet foutieve werking van het systeem mogelijk is.

- data verwerking en besturing van het instrumentarium op interrupt basis kan plaatsvinden.

Eind 1979 is de verdere uitbouw van dit systeem gestopt (c.q. vertraagd). Er ontbreken nog:

- analoge signaal invoer. Door aan digitalisering in de sensor de voorkeur te geven, zal van deze mogelijkheid in beperkte mate gebruik gemaakt worden. In een overgangsfase is deze optie echter noodzakelijk.
- analoge signaal uitvoer. Dit vormt een gebruikers eis, nl. een snel (niet noodzakelijk nauwkeurig) overzicht van de meteorologische situatie.
- een algemeen bruikbaar bedrijfssysteem ("operating system"), waardoor vooral de data verwerking en presentatie in een hogere taal gerealiseerd kan worden. (zie §5).

2. Waaruit bestaat het K.N.M.I. - $\mu$ P- systeem.

Een algemeen bruikbaar micro-processor systeem is ontwikkeld op basis van de Intel 8080- $\mu$ P. Het ontwerp is modulair opgezet door de diverse functionele eenheden op verschillende (bedrukte bedradings) kaarten onder te brengen. De onderlinge kommunikatie verloopt via een universele bus, waarop iedere kaart op een willekeurige plaats kan worden aangesloten. Overeenkomstig de stand van de techniek ten tijde van de ontwikkeling van dit prototype "automatisch weerstation", is de woordbreedte van processor en databus nog 8 bits. Een aantal kaarten zijn nu in definitieve vorm beschikbaar. D.w.z. er zijn na ontwerp en duurproef van de prototypes "plakprints" gemaakt door de T.K.E. van Insa. Tevens zijn daarbij elektronische schema's gerealiseerd. Op basis hiervan is productie (o.a. door E.W. van Insa) mogelijk.

Achtereenvolgens wordt van iedere kaart de mogelijkheden aangegeven. Voor een meer gedetailleerde technische beschrijving wordt verwezen naar de elektronische schema's en komponent beschrijvingen van de fabrikanten.

Ontwikkeld zijn nu de volgende systeemkaarten:

- 3.1. processorkaart.
- 3.2. geheugenkaart.
- 3.3. seriële in- en uitvoerkaart.
- 3.4. parallelle in- en uitvoerkaart.
- 3.5. "scan" in- en uitvoerkaart.
- 3.6. tellerkaart.
- 3.7. interruptkaart
- 3.8. cassette recorder besturingskaart.

Daarnaast zijn er een aantal speciale kaarten beschikbaar:

- 4.1. buskaart.
- 4.2. bus verlengingskaart.
- 4.3. voedingskaart.
- 4.4. galvanische scheidingskaart.

- 4.5. RS-232 aanpassingskaartjes (V-24)
- 4.6. RS-422 aanpassingskaartjes (differentieel).
- 4.7. kalender klokkaart.
- 4.8. handbedieningspaneel.
- 4.9. Aan sturing van cijfer display's.

### 3. De systeemkaarten.

Alvorens de kaarten afzonderlijk te bespreken volgen hier enkele gemeenschappelijke eigenschappen:

- alle bussignalen worden op de kaarten gebufferd.
- de kaart adres selectie is instelbaar d.m.v. een rotatie schakelaar op de kaart.
- "I.O.-bouwstenen" zijn zowel als in-/ uitvoerbaar of als geheugen adresseerbaar. Dit d.m.v. draai-schakelaars op de betreffende I.O. kaarten.
- de adresruimte kan aaneengesloten benut worden, d.m.v. kiesbare doorverbindingen ("jumpers") op de kaarten.
- geheugenkaarten beschikken over een wacht cyclus generator (0; 0.5; 1;...4µsec), waardoor de processor werking vertraagd kan worden overeenkomstig de toegangstijd van de betreffende geheugen typen (RAM/ ROM).
- De kaarten zijn onderling doorverbonden d.m.v. een "universele bus". Deze bussignalen zijn aangesloten op een "systeem connector" (P1).
- in- en uitvoer loopt via een "I/O connector" (P2).
- beide connectoren voldoen aan een standaard: DIN-41612. Een connector bezit daarbij drie kiesbare rijen van 32 contacten, resp. a, b en c.
- de 64 polige bus connector bestaat uit de buitenste pen rijen a en c.
- hierop is eenvoudig een verbinding te maken m.b.v. een "lintkabel" ("flat-cable").
- via de I/O-connector zijn tevens verbindingen te maken met de interrupt-kaart. Hierdoor zijn programma onderbrekingen mogelijk veroorzaakt door beschikbaarheids- of foutmeldingssignalen.

Het data transport over de systeem bus wordt begeleid door een veelheid van stuursignalen: het "handshake" mechanisme d.m.v. status en kommando uitwisseling. De actieve toestand ("true"=waar) hiervan wordt aangegeven door 0 volt ("laag" ="0" = $\bar{x}$ ). Op open lijnen staat een signaal niveau van +5 volt ("hoog"="1"= x); deze worden als inactief geïnterpreteerd.

Op alle kaarten is een voorziening aangebracht om de systeem bus aansluitpunten te wijzigen. Dit om latere modificaties ook in het systeem op te kunnen nemen.

De systeemkaarten hebben een standaard formaat: dubbel Euro 16 x 23 cm.

### 3.1. De processor kaart.

De processor verzorgt de kommunikatie binnen het systeem en voert logische en rekenkundige bewerkingen uit. De processorkaart is zodanig opgezet dat data transporten mogelijk zijn, via:

- programma.
- interrupt.
- direkte geheugen toegang.

De funktionele opbouw van deze kaart is weergegeven in fig. 2.1.

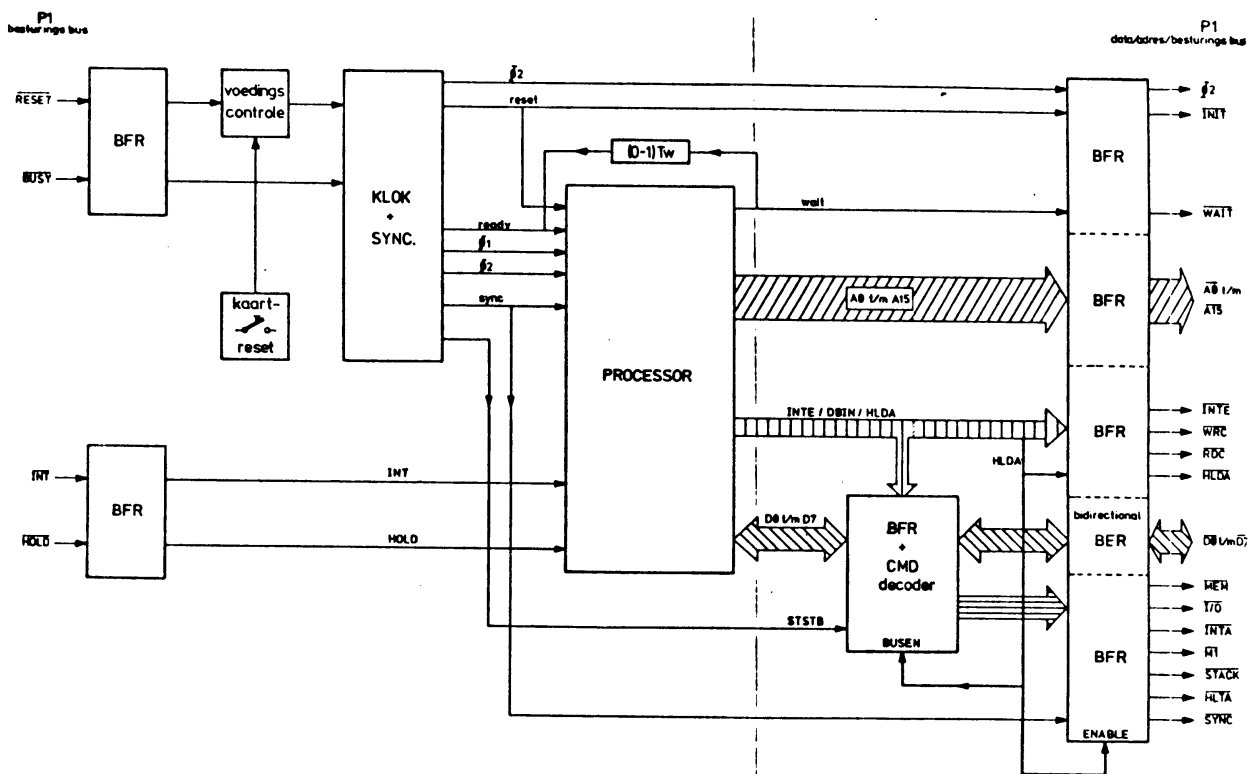


Fig. 3.1. Blokschema van de K.N.M.I. -µP- kaart.

Hierop is in een Intel 8080-8 bits  $\mu$ P aangebracht met bijbehorende stuur elektronica. Alle in- en uitgaande signalen zijn elektrisch gebufferd (BFR). De uitgangen zijn zwevend ("tri-state") te maken, behalve de volgende drie:

$\overline{\text{INIT}}$  = systeem initialisatie (a-17)

$\phi_2$  = systeem synchronisatie (c-17)

HLDA stuurt de bussignalen al dan niet zwevend.

Alle systeem informatie vanaf de 8080 is op de universele bus aanwezig:

$\overline{\text{M}}_1$  = eerste machine cyclus (a-12)

$\overline{\text{STACK}}$  = stapel geheugen verwijzing (c-12)

HLTA = processor in halt toestand (c-10)

De toewijzing van data producent of consument wordt aangegeven door:

$\overline{\text{MEM}}$  = geheugen toewijzing (geen stapel) (a-20)

$\overline{\text{I/O}}$  = in/uitvoer toewijzing (c-20)

De richting van het data transport wordt gestuurd door:

$\overline{\text{RDC}}$  = lees commando (data naar processor) (a-19)

$\overline{\text{WRC}}$  = schrijf commando (data vanaf processor) (c-19)

Het interruptmechanisme verloopt via:

$\overline{\text{INT}}$  = verzoek tot programma onderbreking (a-18)

$\overline{\text{INTA}}$  = bevestiging van programma onderbreking (c-18)

Direkte geheugen toegang D.M.A. is mogelijk d.m.v.:

$\overline{\text{HOLD}}$  = verzoek tot D.M.A. (a-11)

HLDA = bevestiging van D.M.A. (c-11)



Synchronisatie t.o.v. de processor werking kan verzorgd worden door:

$\overline{\text{BUSY}}$  = verzoek om vertraging van processor (a- 9)  
 $\overline{\text{WAIT}}$  = bevestiging van vertraging van processor

Tenslotte zijn nog op de bus aanwezig:

$\overline{\text{INTE}}$  = processor is wel of niet te onderbreken (a-13)  
 $\overline{\text{SYNC}}$  = eerste klokcycclus voor synchronisatie (c-13)

De 16 adres bits verlopen via de volgende connectorpunten:

$\overline{\text{A}}_{15,13,\dots,3,1}$  = C21 t/m 28 en  $\overline{\text{A}}_{14,12,\dots,2,0}$  = A21 t/m 28.

Het data transport over de bus is 8 bits parallel en bidirectioneel, via de volgende connector punten:

$\overline{\text{D}}_{7,5,3,1}$  = A5 t/m 8 en  $\overline{\text{D}}_{6,4,2,0}$  = C5 t/m 8.

In Appendix A wordt een toelichting gegeven op herkomst en betekenis van de bussignalen.

#### Bijzonderheden:

De processor gaat naar de nul toestand ("reset") zodra:

- een van de voedingsspanningen (-12, -5, +5V) een te lage waarde bereikt (voedingscontrole: 10% tolerantie).
- een "reset" knop ingedrukt wordt (op kaart aanwezig)
- externe aansluiting  $\overline{\text{reset}}$ : = 0 = wordt actief.

Op de kaart is een keuze te maken tussen een of geen wachtcyclus (0-1) x  $T_w$ , jumper J.). Voor de systeem klok frekwentie  $\phi_2$  is een waarde gekozen van 1,8432 MHz. Hieruit zijn d.m.v. binaire deling standaard data transmissie snelheden te genereren. (zie §3.3).

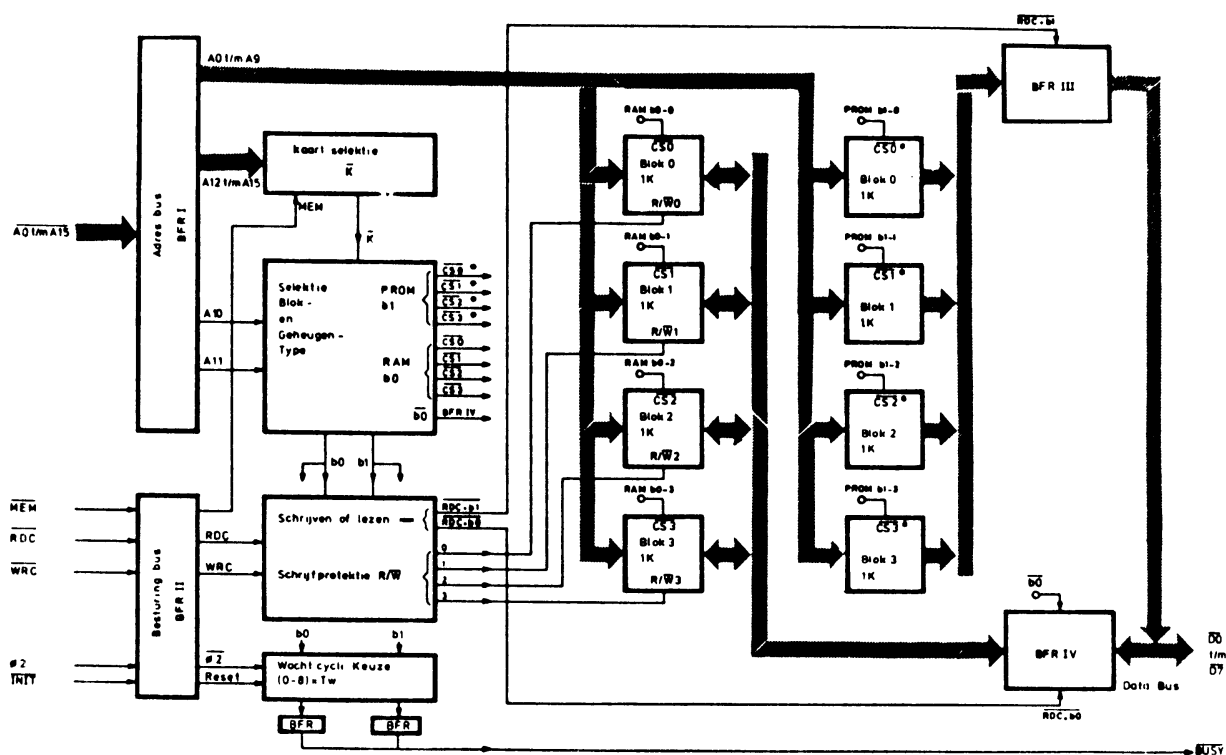
De klokcycclus is daardoor 540 nsec. (o.a.  $T_w$ ). Het  $\overline{\text{BUSY}}$  signaal is te blokkeren of op te heffen, waardoor de processor weer doorloopt.

Op de huidige processorkaart is nog ruimte beschikbaar ("gaatjes print"). Hierop is eventueel privé geheugen en/of I/O kommunikatie aan te brengen.

3.2. De geheugenkaart.

Het stuur en verwerkingsprogramma wordt, te samen met de informatie, in een adresseerbaar geheugen opgeslagen. De Intel 8080- $\mu$ P laat een maximale geheugenruimte toe van 64 k byte's (8 bits). Deze is te verdelen over een aantal geheugenkaarten.

Fig. 3.2. geeft een overzicht van deze kaart.



Blokschema 4k geheugen met RAM en PROM geheugens

001702  
10-0-76 Revisie 1-4-77  
700716

30-60-002

OUDE NR 30-9-100

Fig. 3.2. Blokschema 4k geheugen kaart.

Op de kaart is ruimte gereserveerd voor "lees/schrijf" (R.W.M.) - en "alleen lees" (R.O.M.) geheugen.

De geheugenruimte is verdeeld over 4 banken van ieder 1024 (1 k) bytes. Per geheugenbank is een keuze te maken voor RAM (Intel 8102), dan wel EPROM (Intel 8708). De uitgangen van deze geïntegreerde schakelingen zijn afzonderlijk elektrisch gebufferd (belastbaar met 30mA). De adres- en besturingslijnen zijn eveneens elektrisch gebufferd (10 µA ingangsstroom).

Bijzonderheden:

Kaart adres en geheugenbank is instelbaar:

A <sub>15</sub>	A <sub>14</sub>	A <sub>13</sub>	A <sub>12</sub>	A <sub>11</sub>	A <sub>10</sub>	A <sub>9</sub>	A <sub>8</sub>	A <sub>7</sub>	A <sub>6</sub>	A <sub>5</sub>	A <sub>4</sub>	A <sub>3</sub>	A <sub>2</sub>	A <sub>1</sub>	A <sub>0</sub>
15 kaarten				4 banken			1024 lokaties								
0 t/m F				0 t/m 3			0 t/m 3 FF								

Tabel 3.2. Geheugen en adressering.

Geheugenkaart indicatie en selectie vindt plaats d.m.v. een hexa decimale draaischakelaar. Geheugenbank keuze geschiedt m.b.v. een doorverbinding (op een D.I.L.-voetje). Per geheugenbank is daarbij nog onderscheid te maken tussen RAM of EPROM (maximaal 4 jumpers op een 8 pins I.C.-voetje). Daardoor kan de geheugenruimte per 1024 bytes als (alleen) lees (schrijf) geheugen ingedeeld worden. De kaart kan maximaal 4096 bytes geheugen bevatten en wel x000 t/m xFFF, met 0 < x < F.

De geheugenkaart beschikt over een wachtcyclus generator voor beide geheugentypen. Hierdoor kan de processor werking vertraagd worden, overeenkomstig de toegangstijd van het betreffende geheugentype en uitvoering. Deze vertraging is synchron met de systeem klok  $\phi_2$  en wordt gerealiseerd d.m.v. een schuifregister (reset bij systeem-initialisatie). Keuze uit een van de 8 uitgangen levert wachttijden tot 4 µsec, met een resolutie van 12½ %.

Een schrijfprotectie van het "RAM-geheugen" is op de kaart aanwezig, instelbaar per geheugenbank m.b.v. een micro-schakelaar.

Het lees/schrijf geheugen is te reserveren voor een afzonderlijk "stapel geheugen". Hiertoe dient de bus aansluiting MEM (a-20) vervangen te worden door STACK (c-12), zie Appendin A.

### 3.3. Seriële in- en uitvoerkaart.

Kommunikatie van de processor met de buitenwereld kan verlopen via data kommunikatie. Daarbij is sprake van serieël data transport, reden waarom een seriële in- en uitvoerkaart in het systeem is opgenomen. Deze levert de mogelijkheid om acht tweedraads verbindingen aan te sluiten. Dit maakt het mogelijk een ruim aantal meteorologische instrumenten op afstand te bedienen.

Een blokschema van deze kaart is te vinden in fig. 3.3.:

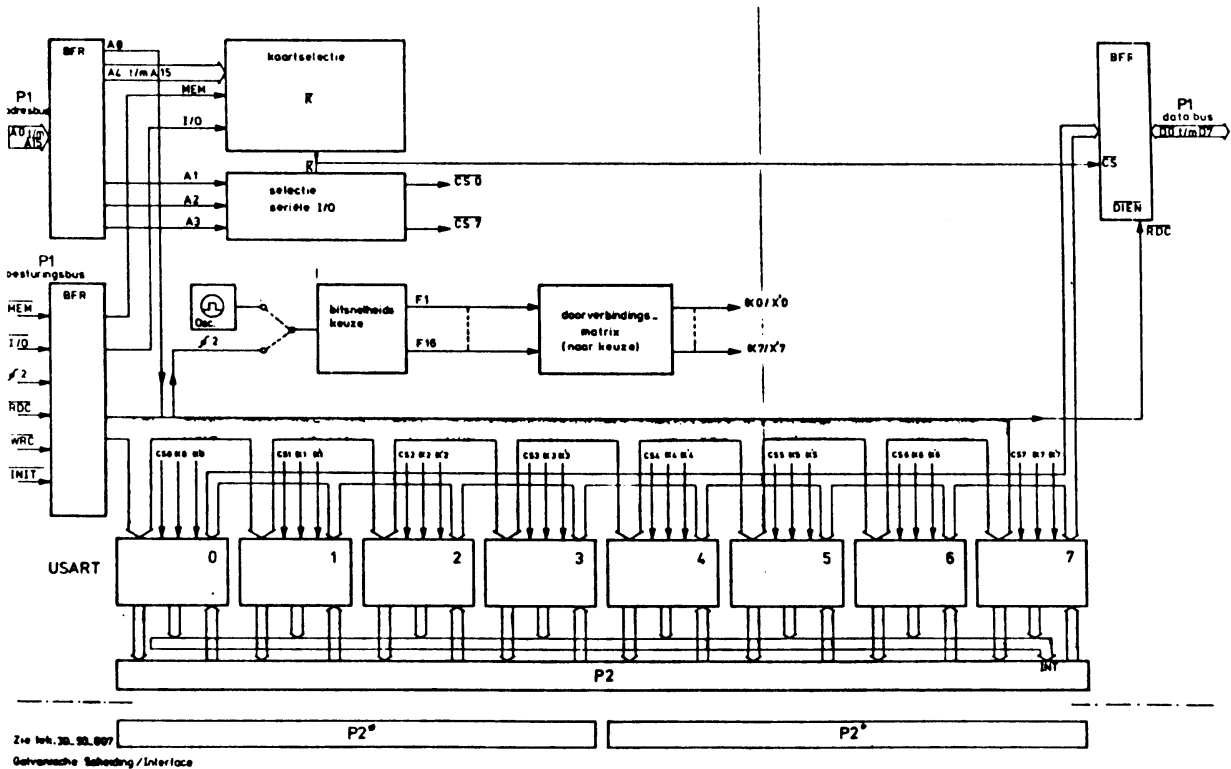


Fig. 3.3. Blokschema "serie-kaart".

Met deze kaart zijn 1-8 seriële data verbindingen te realiseren. De daartoe bestemde I/O bouwstenen zijn op "I.C. voetjes" (28 pins, nr. Ø t/m 7) aan te brengen. Dit zijn "USART's = Universal Synchronous Asynchronous Receiver Transmitters" van het merk Intel, type nr. 8251A.

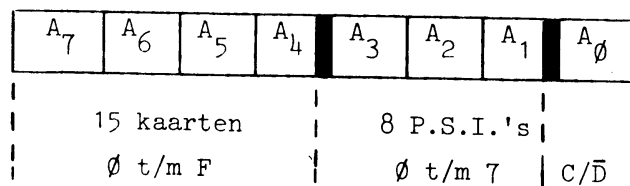
Bijzonderheden:

Een I/O bouwsteen kan op twee manieren door de processor aangestuurd worden:

- via een speciale in- of uitvoer instructie (8 bits I/O adres).
- via een gewone geheugen manipulatie (16 bits MEM adres).

Op de kaart is deze keuze te maken m.b.v. de signalen I/O of MEM.

De adres selectie van kaart en bouwsteen is als volgt gedefinieerd:



Tabel 3.3.1. Adressering van de seriële I/O bouwstenen.

Een programmeerbare seriële interface (p.s.i.) bezit twee registerparen: één voor de ontvangen- of te verzenden data (A<sub>Ø</sub> = "0" =  $\bar{D}$ ) en een commando / status registerpaar (A<sub>Ø</sub> = "1" = C).

Bij I/O adressering zijn de hogere adres bits (A<sub>15</sub> t/m 8) onbelangrijk (duplicaat van A<sub>7</sub> t/m Ø), terwijl deze bij MEM adressering alle "1" moeten zijn.

Het kaartadres is kiesbaar d.m.v. een hexadecimale (Ø t/m 9, A t/m F) draaischakelaar (G op elektronisch schema). Een tweede draai schakelaar (M) laat de volgende keuze toe:

	$\emptyset$	X-tal
I/O	0 t/m 3	8 t/m 8
MEM	4 t/m 7	C t/m 7

tabel 3.3.2.: Adresserings type en data transmissie oscilator keuze.

Hierin is  $\emptyset_2$  de bus systeemklok, terwijl X-tal staat voor een afzonderlijke kristal oscillator op de kaart, beide met frekwentie 1,8432 MHz. Dit kloksignaal wordt doorverbonden naar een programmeerbare bit snelheidsgenerator (MC 14411). Deze bezit twee selectie bits (ingangen B en A) en 16 klok uitgangen ( $F_1$  t/m 16').

D.m.v. de draaischakelaar M wordt, voor het bitsnelheids-bereik, een keuze gemaakt uit een van de vier onderstaande kolommen:

ingangs condi- Uitg. ties.	x 64 BA = 11	x 16 BA = 10	x 8 BA = 01	x 1 BA = 00
F <sub>1</sub>	614,4 k	153,6 k	76,8 k	9600
2	460,8 "	115,2 "	57,6 "	7200
3	307,2 "	76,8 "	38,4 "	4800
4	230,4 "	57,6 "	28,8 "	3600
5	153,6 "	38,4 "	19,2 "	2400
6	115,2 "	28,8 "	14,4 "	1800
7	76,8 "	19,2 "	9600	1200
8	38,4 "	9600	4800	600
9	19,2 "	4800	2400	300
10	12,8 "	3200	1600	200
11	9600	2400	1200	150
12	8613,2	2153,3	1076,6	134,5
13	7035,5	1758,8	879,4	109,9
14	4800	1200	600	75
15	0,9216 M	0,9216 M	0,9216 M	0,9216 M
16	1,8432 M	1,8432 "	1,8432 "	1,8432 "

tabel 3.3.3. Keuze uit 37 transmissie snelheden.

Alle zenders en ontvangers zijn ieder afzonderlijk met een van de 16 uitgangen door te verbinden d.m.v. een "draad-matrix" op de kaart. De USART bouwstenen zijn snel genoeg voor de processor, waardoor een wachttijd vormer ontbreekt. (Dit is gecontroleerd door de processor op 10% hogere snelheid te laten werken, door een 18,432 MHz i.p.v. 16,589 MHz oscillator op de processorkaart aan te brengen).

De USART's laten een ruime mate van "handshake" toe. Voor een gedetailleerde beschrijving van deze bouwstenen wordt verwezen naar de uitvoerige Intel documentatie, (o.a. Application Note-14). De 8251 A is een verbeterde versie van de 8251. Toch moet nog met enige onvolkomenheden rekening gehouden worden:

- de beschikbaarheidsmelding van de zender (TXRDY) is bij status analyse beperkter dan bij signaal-analyse.
- de ontvanger laat geen draaggolf detektie toe.

Een remedie hierop vormt het oneigenlijk gebruik van een testbit in het statusregister (bit D<sub>7</sub> dat alleen afhankelijk is van D.S.R.-signaal ingang). Een "eenvoudiger" en o.i. efficiëntere oplossing vormt de interrupt signaal verwerking, zie appendix. B. De interruptkaart (§ 3.7) voorziet in 64 aansluitingen met kiesbare prioriteits volgorde. Er dient daartoe een draadslinger ("wire-wrap") verbinding gemaakt te worden tussen de beide I/O-connectoren.

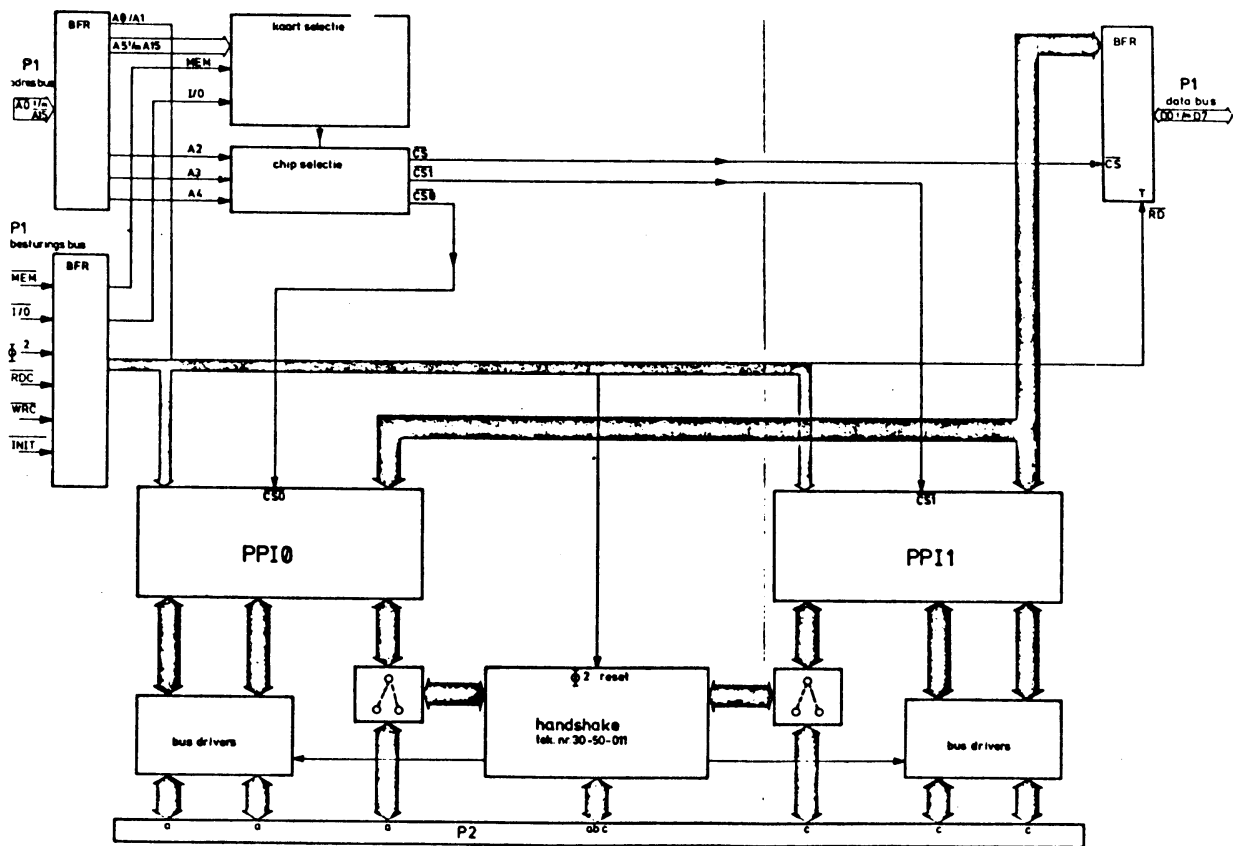
Deze connector is gestandariseerd via DIN 4/612 en bevat 96 kontakten in de vorm van 3 rijen van 32 pennen, resp. a, b en c. Een 64 polige "lintkabel" ("flat-cable") past op de twee buitenste rijen a en c. Via de lintkabel is een verbinding te maken met een speciale kaart: galvanische scheidingskaart (§ 4.4). Hierop is een speciale aanpas schakeling aan te sluiten: V-24 - (§ 4.5) of differentiële (§ 4.6) kaartjes. Bij deze laatste uitvoering is de lijnuitgang zwevend te maken (d.m.v. D.T.R.-signaal) en de ingang testbaar op "open lijn" situaties (d.m.v. D.S.R. signaal). Hier is dus sprake van een "handshake" toepassing, die een derde toestand creëert (aan/uit/zwevend).



3.4. De parallelle in- en uitvoerkaart.

Naast het (tragere) seriële data transport is het nuttig de digitale informatie ook parallel aan te kunnen bieden. Dit is het geval wanneer veel informatie in korte tijd overgedragen moet worden, bv. afkomstig van een kalenderklok. Hierin is dan ook voorzien d.m.v. een parallelle in- en uitvoerkaart. De data overdracht is te beschermen door toepassing van het "handshake" mechanisme, waarvoor extra logica op de kaart is aangebracht.

Een blokschema van deze kaart is opgenomen in onderstaande figuur:



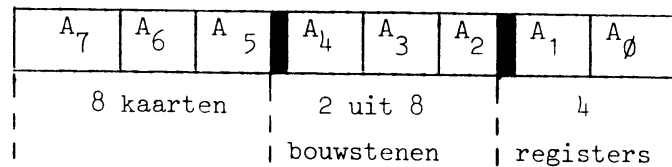
\*PPI = Programmable Peripheral Interface

Fig. 3.4 Blokschema "parallel-kaart"

Met deze kaart zijn 1-6 byte parallel in- of uit te voeren. Dit wordt gerealiseerd d.m.v. twee groot formaat I/O bouwstenen: Intel-8255 A (40 pens). Deze "programmeerbare perifere interface's" kunnen in 3 modi werken: Met of zonder "handshake", uni- of bidirectioneel. Het I.C. bevat drie 8 bits data registers en een commando register. Er is geen status register aanwezig. Zie voor details de uitvoerige technische beschrijving van Intel, (o.a. Application note-15). Voor de adressering zijn twee adresbits vereist, meestal worden hiervoor de laagstwaardige adresbits gebruikt, nl.  $A_1, \emptyset$ .

Bijzonderheden:

Kaart- en bouwsteen adres volgt uit:



tabel 3.4.1. Adressering van I/O bouwstenen met 4 registers (paren).

Het kaartadres is kiesbaar d.m.v. een hexadecimale schakelaar: 0 t/m 7 als I/O kaart, 8 t/m F als MEM- kaart (voor verklaring zie § 3.3.). De bouwstenen selectie wordt mogelijk door een "draad slinger" verbindingskeuze op de kaart (nr. 6 of 7).

De verbinding van de parallelle I/O bouwsteen met de buitenwereld verloopt via een 96 polige I/O connector. Deze I/O signalen zijn voor iedere P.P.I. in vier groepen te verdelen. Drie ervan vormen de data bits van de poorten A, B en C, de vierde groep wordt gevormd door de "handshake-signalen".

Uit het blokschema van fig. 3.4. is af te lezen dat de signalen van de poorten A en B elektrisch gebufferd zijn. De doorlaat richting hiervan is instelbaar (d.m.v. draadslinger). Dit overeenkomstig dan wel via de geprogrammeerde data transport richting.

Voor de poort C-bits is er een keuze tussen rechtstreeks naar buiten voeren, dan wel deze toe te passen als stuursignalen voor de "handshake logica". De functie hiervan is het op elkaar afstemmen van de verwerkingssnelheid van de processor en het randapparaat. De handshake schakeling bestaat uit een demultiplexer en een aantal (met  $\emptyset_2$ ) synchrone sekventiële schakelingen:

- t.b.v. de data uitvoer wordt een startpuls van de randapparatuur gegenereerd. De pulsbreedte hiervan is kiesbaar, d.m.v. systeemklok  $\emptyset_2$  (540 nsec) of externe klok  $\alpha$ . Een ontvangst bevestiging kan naar keuze, onmiddellijk volgen, dan wel uitgesteld worden door het langzamer werkende randapparaat. Op deze terugmelding kan weer opnieuw data door de processor geleverd worden. De sturing hiervan kan zowel op status analyse dan wel op interrupt basis plaats vinden.
- t.b.v. de data invoer wordt op een beschikbaarheidsmelding vanaf het randapparaat een aangepaste korte puls gegenereerd (op  $\emptyset_2$ ). Dit maakt onmiddellijke interrupt verwerking mogelijk. Daarnaast zijn de data te accepteren d.m.v. status analyse. Het innemen van de informatie door de processor wordt teruggemeld aan het randapparaat. Hierop kunnen weer opnieuw data worden aangeboden.

Het zal wellicht duidelijk zijn dat deze (extra) voorzorgen nodig zijn om "tijdkritische akties" te elimineren. D.m.v. dit "handshake mechanisme" verlopen de gebeurtenissen in een juiste volgorde en "timing". Het adequaat regelen van de communicatie tussen de processor en de buitenwereld is van essentieel belang. Vandaar dat dit geheel nog eens schematisch weergegeven is in Appendix D.

Op de I/O connector ( $P_2$ ) van de parallel-kaart is een kalender-klok aan te sluiten, zie § 4.7. Gelijkstellen en uitlezen van deze klok gebeurt gesynchroniseerd d.w.z.:

- de datum-tijd wordt in zijn totaal overgenomen op het moment dat de seconde-waarde geladen wordt (van  $\mu P$  naar P.P.I.).
- de uitlezing van de klok mag nooit gebeuren terwijl deze zich wijzigt. Door toepassing van het besproken "handshake" mechanisme kan dit voorkomen worden: iedere seconde overgang levert een interrupt op.

Door een bepaalde rangschikking van de A, B en C poortbits is de datum-tijd informatie (39 bits) aangesloten op de 2 P.P.I.'s van de parallel-kaart.

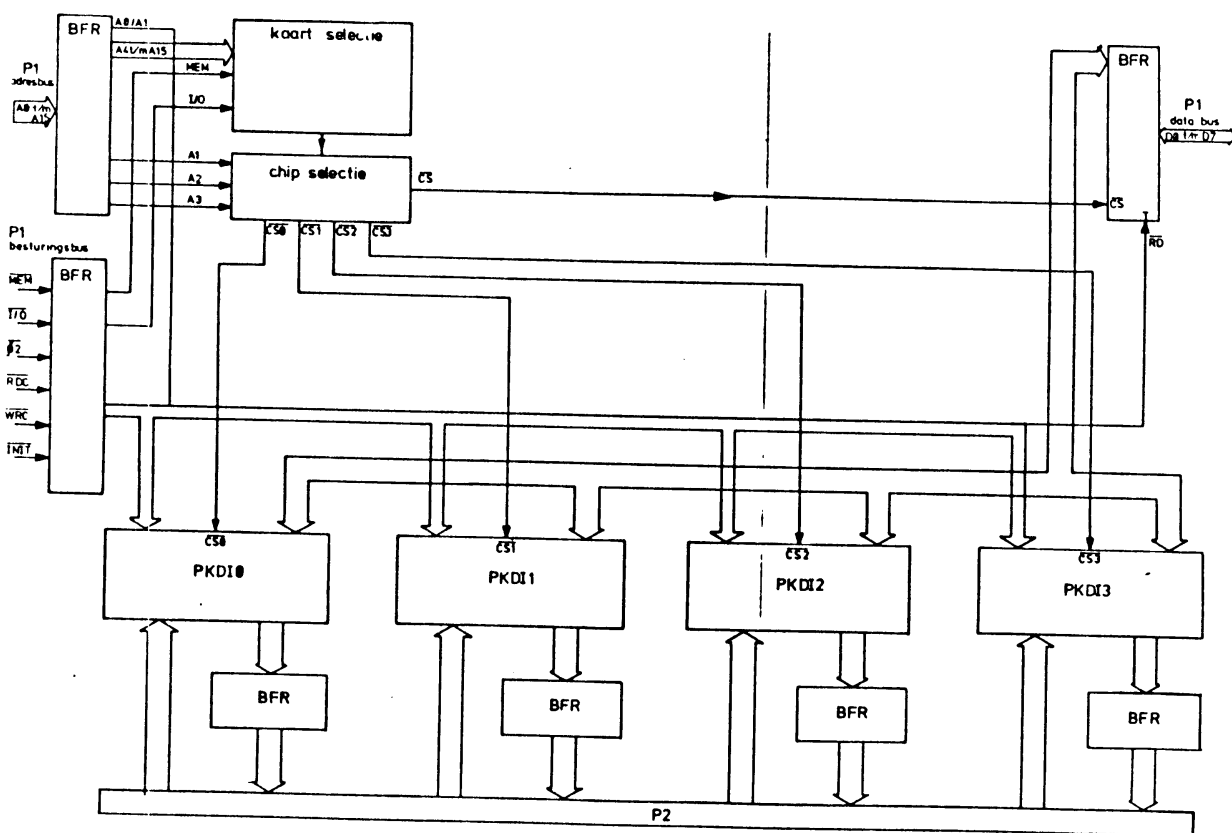
Daarbij zijn de eenheden en tientallen (in B.C.D.-kode) als 8 bits groepen over de "poorten" verdeeld. De tweede informatie is aangesloten op poort B (van P.P.I.-  $\phi$ ).

Poort B $\phi$  is dan in modus 1 ("strobed in/out") geprogrammeerd, waardoor de poortbits C $\phi$ 1,2 de "handshake" signalen genereren. De overblijvende C-poortbits worden gebruikt voor de maand informatie (C $_3$  = tientallen maanden, C $_4$  t/m  $\gamma$  = eenheden maanden). Alle andere poorten zijn in modus  $\phi$  ("direct I/O").

### 3.5. De scanner in- en uitvoerkaart.

Met deze kaart kunnen aaneengesloten informatie blokken in- of uitgevoerd worden (byte serieel). In een bepaalde volgorde worden ingangslijnen afgetast en uitgang gestuurd, vandaar de verkorte benaming: "scankaart".

Een overzicht van deze kaart geeft onderstaande figuur:



PKDI = Programme Keyboard Display Interface

Fig. 3.5. Blokschema van de "scankaart".

De gemultiplexte in- en uitvoer wordt verzorgd door een viertal speciale I/O bouwstenen: "programmable Keyboard/display interface's" (Intel 8279, voor gedetailleerde informatie zie de Intel documentatie). Deze benaming geeft een mogelijke toepassing aan nl: het uitlezen van een toetsenbord en het zichtbaar maken van informatie.

Bijzonderheden:

Voor het data transport zijn een twee-tal interne schuifregister-kombinaties aanwezig (per 8 stuks gekombineerd). De invoer verloopt daarbij in een enkele richting (8 x 8 bits "fifo"), terwijl de uitvoer karakters (max. 16) in beide richtingen (links en rechts) geschoven kunnen worden (16 x 8 bits). Deze register combinaties zijn vanuit de processor willekeurig toegankelijk en er wordt dan ook wel in de technische documentatie gesproken over een 8 x 8 en 16 x 8 bits RAM.

Het betreft hier weer een programmeerbare digitale besturingsbouwsteen: op velerlei wijzen is het data transport regel- en controleerbaar. Hieronder wordt een korte opsomming gegeven van mogelijkheden:

- identificatie van het sluiten van een contact of verbinding.
- aftasting van schakelaar standen.

In beide gevallen is er sprake van een matrix structuur d.m.v. "scan" en "return" lijnen. In het eerste geval is er een dender filtertijd (td) in te stellen, terwijl in het tweede geval de aftast frekwentie (fs) regelbaar is en wel volgens:

$$f_s = \frac{2}{t_d} = \frac{f_c}{128} \cdot \frac{1}{n}$$

waarin:  $f_c$  = externe klokfrequentie

$$n = 2 \text{ t/m } 31$$

in het K.N.M.I.- $\mu$ P-systeem is:

$$f_c = \emptyset_2 = 1,8432 \text{ MHz.}$$

- geklokte invoer van 8 byte's achter elkaar, op extern "strobe" signaal.
- gemultiplexte uitvoer van 8 of 16 byte's op instelbare "scan" frequentie  $f_s$  (0,46-7,2 KHz). Een byte is te verdelen in twee 4 bits woorden of "nibbles". Deze zijn afzonderlijk te blokkeren of onzichtbaar te maken (via "blanking" uitgang).

Op verzoek wordt intern de lokatie bijgehouden waar de eerstvolgende af te beelden data geplaatst worden (increment).

De volgende controle's zijn uit te voeren d.m.v. status analyse:

- aktueel aantal karakters in "fifo".
- indicatie dat een karakter gemist dreigt te worden, doordat buffer register vol is (na schrijven) of leeg is (na lezen) of dat de aangesloten schakelaars te snel achter elkaar (of gelijktijdig) ingedrukt worden.

De I/O bouwsteen levert een interrupt verzoek zolang nog niet alle data uit het "fifo" register uitgelezen zijn en zodra een van de schakelaars gesloten wordt. Dit interrupte signaal is blokkeerbaar.

De kaart en bouwsteen adressering vertoont grote overeenkomst met die voor de seriekaart, zie § 3.3.

A <sub>7</sub>	A <sub>6</sub>	A <sub>5</sub>	A <sub>4</sub>	A <sub>3</sub>	A <sub>2</sub>	A <sub>1</sub>	A <sub>0</sub>
15 kaarten				4 uit 8		P	
$\emptyset$ t/m F				$\emptyset$ t/m 4		C / $\bar{D}$	

Tabel 3.5.1. Adressering van de "scankaart".

Kaartselectie d.m.v. hexadecimale draaischakelaar. Keuze I/O of MEM adres via draadslinger. Er is hier sprake van een te grote adresruimte voor de bouwsteen selectie. Normaliter worden vier I/O bouwstenen aangesloten op de laagst beschikbare adressen.

Op de kaart zijn ook andere doorverbindingen mogelijk en wel willekeurig 4 uit 8. Tenslotte selekteert het laagstwaardige adres bit  $A\phi$  een commando / statusregister paar ( $A\phi = "1" = C$ ) dan wel het data buffer ( $A\phi = "0" = \bar{D}$ ).

Op de kaart kunnen  $4 \times 8 = 32$  data bits ingevoerd worden. De betreffende ("return") lijnen zijn van RC-filters voorzien ( $R = 47k$  naar +5V en  $C = 100pF$  naar 0V, levert RC-tijd  $\approx 5\mu s$ ). Open lijnen worden daardoor beter gedefiniëerd. Er moet rekening mee gehouden worden dat de polariteit van deze ingangslijnen geïnverteerd wordt doorgegeven naar het data register.

De uitgaande  $4 \times 8 = 32$  informatielijnen zijn te samen met de 4 "blanking" signalen gebufferd (max. uitg. stroom 40 mA en ook hier inventering). Op de I/O connector  $P_2$  zijn tenslotte nog 4 interruptie signalen van de afzonderlijke I/O bouwstenen aangebracht. Deze zijn tevens (via draadslingers) samengenomen tot een  $\overline{INT}$ - signaal naar de systeembus. Bij gebruik van de (prioriteits) interrupt- kaart moeten deze doorverbindingen verwijderd worden!

3.6. De teller-kaart.

Van meteorologische parameters worden, in de regel tijdsgemiddelden bepaald. Traditioneel worden deze verkregen door de analoge meetwaarden met hoge frequentie te digitaliseren. Deze methode is echter erg storingsgevoelig, wat veel minder het geval is bij een integrerende AD-conversie. Hierbij wordt het meetgegeven omgezet in een variabele pulsreeks (bv. cup-anemometer). De middeling bestaat uit het tellen van de pulsen over het gewenste tijdsinterval. Dit nu wordt mogelijk door de in het systeem opgenomen teller-kaart.

De functionele opbouw van deze kaart wordt getoond in onderstaand blokschema:

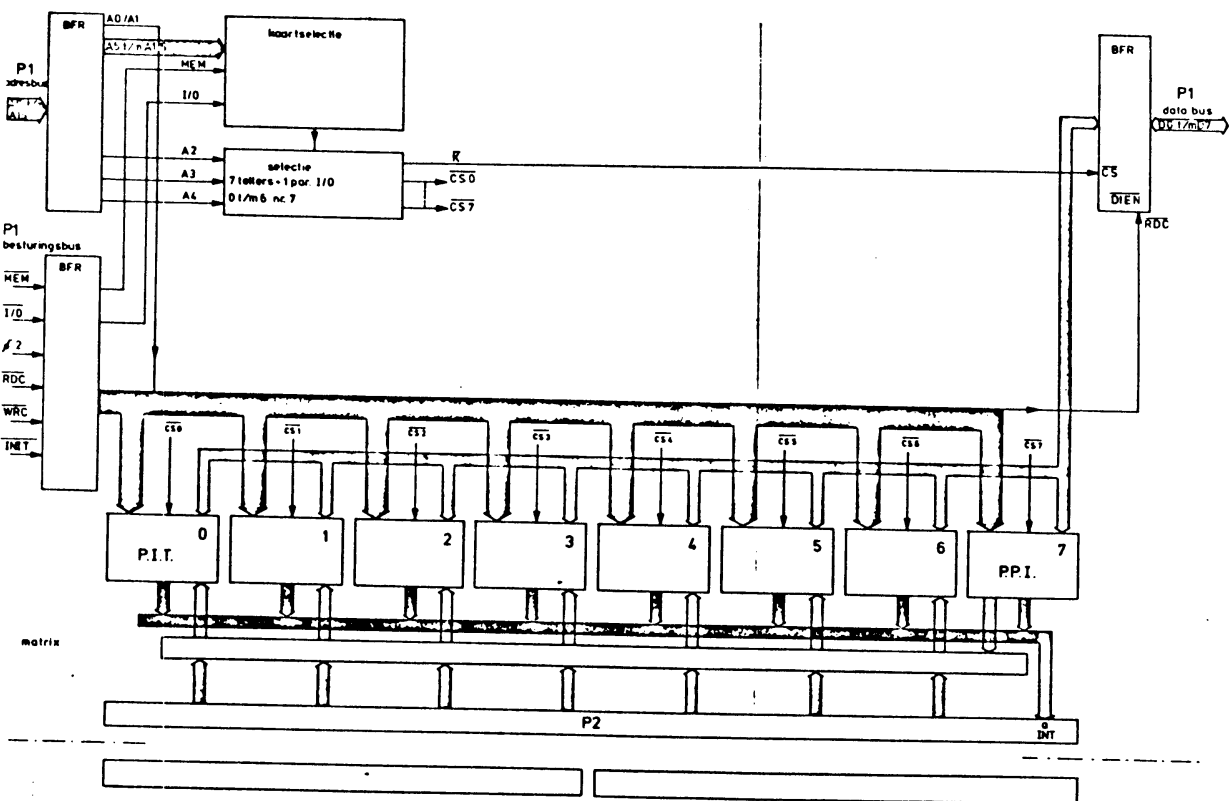


Fig. 3.6. Blokschema "teller-kaart".



Deze kaart bevat 21 pulsen tellers, met ieder een bitlengte van 16. Dit wordt mogelijk gemaakt door (7) speciale I/O bouwstenen: "programmeerbare intervaltimer / counter" (P.I.T., Intel 85253, 24 pins).

De programmeerbare bouwsteen kan in 6 verschillende modi werken, waaronder als palsteller en als pulsvormer (enkele puls of pulsreeks). Het programmatische van deze "interface" bouwsteen komt nog meer tot uiting in het volgende:

- de modulus lengte is variabel door een voorinstelling toe te passen. ("presettable").
- bruikbaar als binaire- en als decimale (B.C.D.) teller.
- start van de telling zowel programmatisch mogelijk, als ook door een extern signaal.
- door een speciale maatregel is er sprake van een stabiele uitlezing (ook tijdens telling: "reading on the fly").

#### Bijzonderheden:

Er zijn per I.C. 3 identieke 16 bits tellers aanwezig, deze zijn toegankelijk als drie 8 bits registers. De mogelijkheid bestaat om alleen de hoogst- of alleen het laagstwaardige byte of beide opeenvolgend te laden of te lezen. Dit via het aanwezige vierde register: commando register. Ook hier ontbreekt een status register. Naast de 7 tellers is er nog een parallelle bouwsteen (P.P.I.) op de kaart aangebracht. Ook deze bevat 4 registers (zie § 3.4.), waardoor kaart- en bouwsteen selectie overeenkomstig tabel 3.4.1. verloopt.

De "programmeerbare parallelle interface" (P.P.I.) is tevens op de kaart aangebracht om de teller ingangen (Clk-n en gate-n) en -uitgang (out-n), ook programmatisch te kunnen benaderen. Eris op de kaart dan ook veel ruimte gereserveerd voor een "door verbindingmatrix" tussen de I/O connector. (63 van de 96 pennen gebruikt), de 24 I/O lijnen van de P.P.I. en 56 van de 63 aansluitingen van de zeven P.I.T.'s. Daarnaast is in deze matrix een lijn opgenomen met de (gebufferde) systeem klok  $\phi_2$  (1,8432 MHz). Allerlei doorverbindingen zijn mogelijk en leveren de volgende functies op:

- externe pulsen telling, via I/O connector.
- interne pulsen telling, via programma of  $\emptyset_2$ .
- starten en stoppen van een telling , d.m.v. programmatische of externe sturing.
- genereren van een puls met instelbare pulsbreedte. Deze is ook weer programmatisch of d.m.v. een signaal te starten.
- genereren van een pulstrein met bepaalde frekwentie bv. voor de sturing van een stappen motor.
- genereren van een interruptie signaal na het bereiken van een bepaalde telwaarde (bv. tijdsverloop).

Vermeldingswaardig is nog dat de P.P.I. op poort C speciale instructies kent (bit set / reset), waardoor de tellers eenvoudig te besturen zijn.

Via de I/O connector zijn de aanwezige tellers onderling door te verbinden. Zo kan de ene teller gebruikt worden om de teltijd voor een andere teller te genereren, etc.

De uitgangen van de tellers zijn rechtstreeks doorverbonden met de middelste kontakten rij van de I/O connector. Deze b-pennen kunnen d.m.v. een "draadslinger" verbonden worden met een van de 64 interrupt ingangen van de interrupt-kaart ( § 3.7.).

De verbinding met de buitenwereld kan ook hier verlopen via de galvanische scheidingskaart ( § 4.4.), d.m.v. een 64 polige "lint-kabel", op de a en c pennen.

### 3.7. De interruptkaart.

Het interrupt mechanisme maakt de "handshake" tussen apparatuur en programmatuur efficiënter. Snelle opeenvolgende externe processen kunnen door de processor worden bijgehouden, bv. snelle data ontvangst, verzending of opslag. Bij de meetmachine denken wij echter vooral aan de reactie op (afhandeling van) zelden en onregelmatig voorkomende externe gebeurtenissen. Het continue en automatisch verwerken van meetgegevens is alleen dan zinvol, indien deze foutloos zijn. Storingen aan het instrumentarium dient een zeldzaamheid te zijn, o.a. door adequaat preventief onderhoud.

Uitsluitel over de "kwaliteit" hiervan wordt verkregen door een continue controle van de data leveranciers. gebruikelijk is om deze status-analyse op aanvraag-basis ("polling") te laten verlopen. Bij vooral grotere meetsystemen, met relatief weinig storingen, vergt dit veel extra tijd. Minder tijd consumeert het testen van het instrumentarium d.m.v. het interrupt mechanisme, doordat het zoekproces achterwege blijft. Vanzelfsprekend zal er in beide gevallen gereageerd moeten worden op een foutkonstatering.

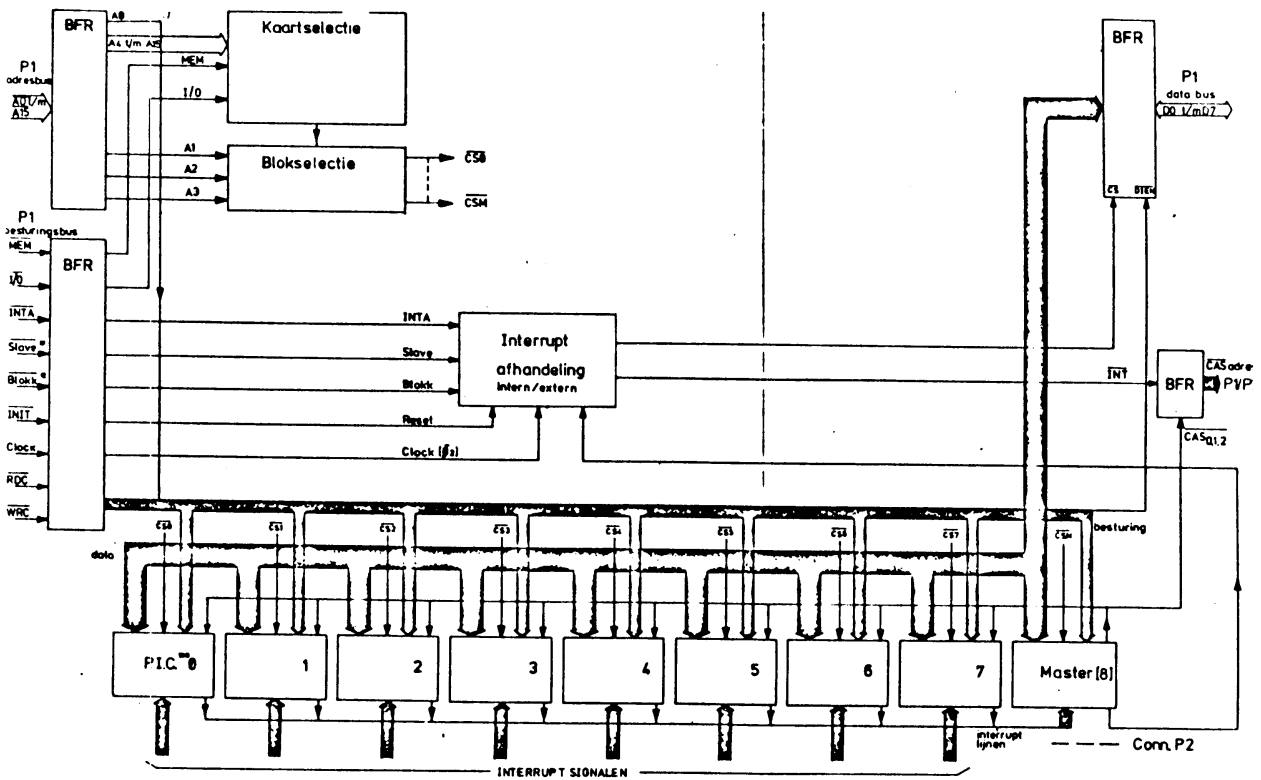
Bij het ontwerp van het "eigen" K.N.M.I.- $\mu$ P-systeem is van het volgende concept uitgegaan:

- het vaste meet- en rekenproces programmatisch laten verlopen.
- de onregelmatige externe storingen en ingrepen op interrupt basis af te handelen.

Dit vereist een uitgebreid interruptie mechanisme en prioriteits afhandeling. Daarom is in het systeem een kaart opgenomen met een zo groot mogelijk aantal interrupt aansluitingen. De onderlinge prioriteitsverdeling is programmatisch instelbaar.

Door Intel worden daartoe speciale bouwstenen (8259 A) geleverd.

Schematisch ziet de interruptkaart er als volgt uit:



• Blokk-P2 Slave-P1-P2  
•• PIC-Programmable Interrupt Controller

Fig. 3.7. Blokschema "interruptkaart".

Een 9-tal (nr. 0 t/m 8) identieke "programmeerbare interrupt besturingseenheden" zijn in cascade geschakeld. Nummer 8 fungeert daarbij als de "meester" en genereert het uiteindelijke interruptie signaal naar de processor. De interrupt uitgangen van de afzonderlijke slaven (nr. 0 t/m 7) zijn aangesloten op de 8 interrupt ingangen van de meester. Hierdoor ontstaat een interrupt systeem met 64 prioriteits niveau's. Deze 64 interrupt signalen zijn ieder afzonderlijk te blokkeren.

Bijzonderheden:

Hoe dit alles bestuurd (geprogrammeerd) kan / moet worden is uitvoerig beschreven in de Intel dokumentatie van deze bouwsteen. Er wordt hier wel op gewezen dat het aantal mogelijkheden groot is, o.a.:

- naast instelbare prioriteitsvolgorde ook roterende prioriteitsvolgorde mogelijk.
- naast automatische sprong naar interrupt (via CALL vektor adres), ook interrupt verwerking op "polling" basis mogelijk.
- instelbare vektor adressen met kiesbare afstand 4 of 8 byte's), etc. (zie Intel documentatie).

Op de kaart zijn voorzieningen aangebracht om een of meer slaven op de afzonderlijke I/O kaarten aan te brengen. Dit zal het geval zijn, indien op zo'n speciale kaart tenminste 8 interrupt generatoren aanwezig zijn. Daartoe zijn de "cascade adres" lijnen (CAS  $\emptyset$ , 1, 2) via de I/O connector (P<sub>2</sub>- 96 polig) naar buiten uitgevoerd. Tevens dient daarbij de data buffer op de interrupt kaart geblokkeerd (zwevend) te worden. Dit kan d.m.v. een extra aansluiting op de I/O connector ( $\overline{\text{Slave}}$ ). Indien nog ongebruikte buslijnen (conn. P<sub>1</sub>) aanwezig zijn, kunnen ook deze hiervoor gebruikt worden (draadslinger op de pennen C<sub>16, 15</sub> en A<sub>16, 15</sub>).

De gehele interrupt kaart is te blokkeren, door het tegenhouden van het interrupt verzoek ( $\overline{\text{INT}}$ ) en de interrupt beantwoording ( $\overline{\text{INTA}}$ ), d.m.v. een extra pen (67) op I/O connector. Om de sekwentie van de blokkeringshandelingen goed te kunnen laten verlopen is het ( $\overline{\text{JNT}}$ ) signaal op de kaart gesynchroniseerd met  $\emptyset_2$  (neg.-flank). Tevens is deze synchronisatie puls naar buiten gevoerd (pen 68 op I/O connector)

Het interrupt mechanisme verloopt naar keuze geheel of gedeeltelijk via de interrupt kaart: d.m.v. de functie "interrupt afhandeling in/extern" (zie fig. 3.7.). De sekwentie van handelingen wordt toegelicht in Appendix D. Als voorbeeld wordt hierin de aansluiting van een andere familie I/O bouwstenen besproken t.w.: "Zilog seriële en parallelle interfacing". De reden hiervan is het feit, dat deze een efficiënter "handshake" en "interrupt" mechanisme bezitten.

Het aansluiten van een niet zuiver binair aantal ( $9$  i.p.v.  $8 = 2^3$ ) bouwstenen kan tot verkwisting van de adresruimte leiden. De kaart- en bouwsteen selectie volgt uit onderstaande tabel:

$A_7$	$A_6$	$A_5$	$A_4$	$A_3$	$A_2$	$A_1$	$A_0$
8 kaarten			9 P.I.C.'s			commando/status	
0 t/m 7			uit 16			register.	

Tabel 3.7.: Adressering van de interrupt besturings-eenheden.

D.m.v. een hexadecimale schakelaar is de "interrupt kaart" toegankelijk als "invoer / uitvoer" dan wel als geheugen: 0 t/m 7= I/O; 8 t/m F= MEM (toelichting zie § 3.3.) De 9 bouwstenen bestaan uit een meester en acht slaven. De adressen van de laatste groep worden gegenereerd door de adres bits  $A_{3,2,1}$  met  $A_4 = "1"$ . De inverse waarde ( $A_4 = "0"$ ) laat 8 adres plaatsen toe voor een meester. Op de kaart is de keuze geheel vrijgelaten d.m.v. "jumpers" op twee D.I.L. - I.C. voetjes. De overblijvende 7 adressen (tezamen met die van de niet geplaatste P.I.C.'s) kunnen elders in het systeem gebruikt worden.

De "programmable interrupt controller" (P.I.T.) is een besturingseenheid. Door het ene register adresseringsbit  $A_0$  (uit tabel 3.7) kunnen slechts twee register paren (lezen en schrijven) benaderd worden. De interrupt bouwsteen beschikt echter over 3 initialisatie - 3 operatie - en 3 status registers. De toegang tot deze registers verloopt in de programmatische volgorde van de commando's.

De interrupts zijn afkomstig van de andere I/O kaarten. Hiertoe zijn max. 64 interrupt signalen, in groepen van 8, op de I/O connector ( $P_2$ ) aan te sluiten. Dit kan m.b.v. individuele draad verbindingen tussen de betreffende I/O connertoren ( $A_1$  t/m 32 en  $C_1$  t/m 32), maar mogelijk is het toepassen van een speciale "interrupt-bus" funktioneler. Deze kan aangebracht worden achter de "systeembus" en laat willekeurige aansluitingen van de I/O signalen toe (zie § 4.4.).

§ 3.8. Cassette recorder stuurkaart.

Bij de toepassing van het K.N.M.I.  $\mu$ P-systeem als automatisch weerstation is het meestal gewenst meteorologische gegevens tijdelijk op te kunnen slaan. Een van de mogelijkheden daartoe vormt de cassette recorder. Door een bij het meetsysteem aanwezige recorder wordt de digitale informatie gekodeerd op de cassette bandjes weergegeven. In de regel worden de bandjes door een andere recorder (type merk) uitgelezen. De praktijk leert ons dat dit zeer strenge eisen stelt aan de synchronisatie van opname en weergave en tevens dat dit niet enkel door "Standaardisatie" valt op te lossen.

Bijzonderheden:

Bij het K.N.M.I.- $\mu$ P- systeem is een cassettestuurkaart ontworpen, die het schrijven en vooral het lezen van de meest "vreemdsoortige" cassette bandjes regelt. Veel parameters zijn daarbij programmatisch instelbaar en een speciaal regelsysteem elimineert de hoge tolerantie eisen i.v.m. de bit dichtheid.

Deze kaart bestaat uit besturingselektronika voor twee cassette recorders. Hoofdbestanddeel vormt een programmeerbare I/O bouwsteen van een nogal complex karakter: P.C.C. = "programmable cassette controller" (NEC type  $\mu$ PD 371). Een drietal programmeerbare teller I.C.'s verzorgen de juiste "timing" van schrijf- en leesproces (P.I.T., Intel 8253, § 3.6). Een 24 bits programmeerbare parallelle interface bouwsteen laat extra kommando sturing en status analyse toe (P.P.I., Intel 8255A, § 3.4.). Synchronisatie bij het lezen van cassette bandjes wordt verzorgd door een regelsysteem: D.P.L.L. = "digital phase locked loop".

Het geheel is weergegeven in de onderstaande figuur:

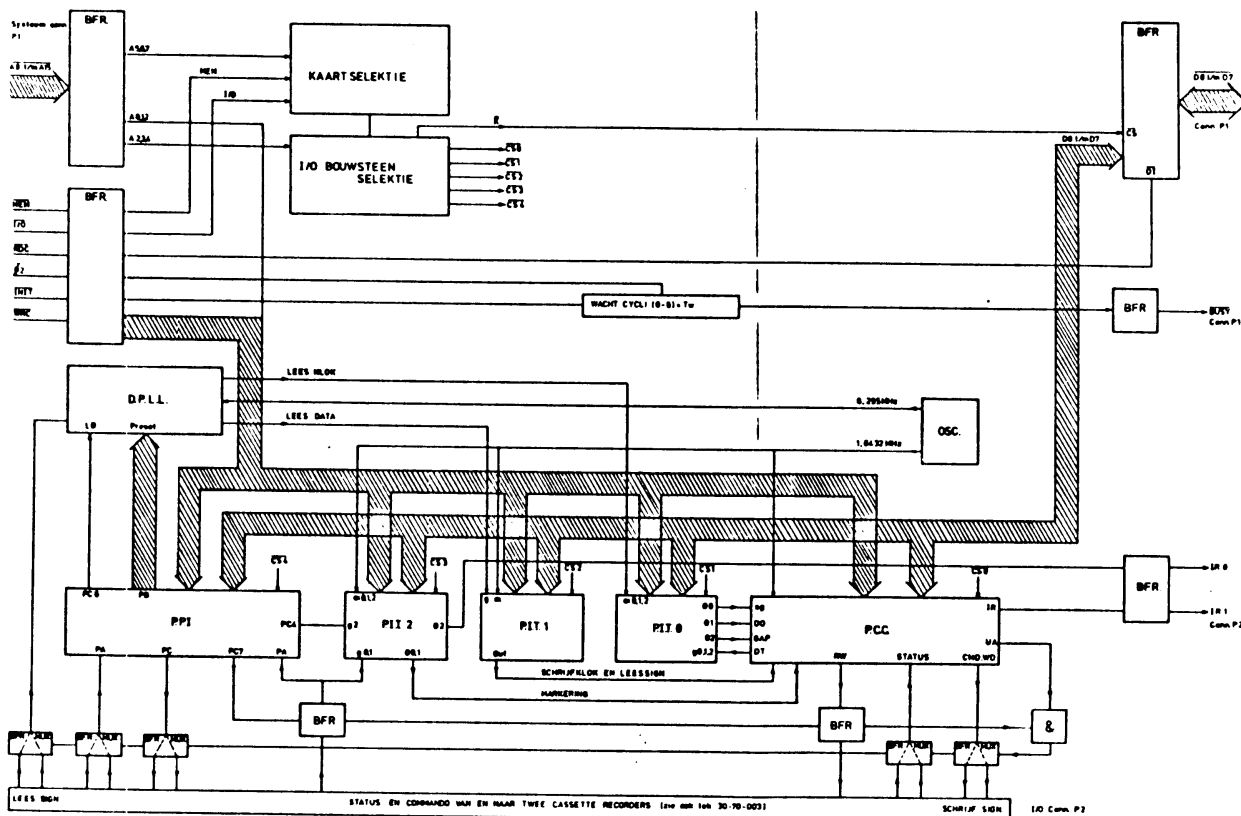


Fig. 3.8.1. Blokschema cassette stuurkaart.

De programmeerbare cassette besturingseenheid (P.C.C.) verzorgt vele akties, o.a.:

- sturing en controle van een tweetal cassette recorders.
- schrijven naar geselekteerde cassette recorders.
- lezen vanaf geselekteerde cassette recorders.
- snelle afhandeling door interruptie mogelikhede.



De sturing van de cassette recorders verloopt programmatisch, m.b.v. kommando registers worden bepaalde stuurlijnen bediend o.a.:

- keuze recorder  $\emptyset$  of 1 voor schrijven, lezen en het terugspoelen van de band ("rewind"). De twee "rewind signalen" kunnen pas beëindigd worden, door ontvangst van markeringssignalen van de betreffende recorders. Deze indikatie pulsen voor begin- resp. einde band worden aangepast (smaller) d.m.v. programmeerbare pulsvormers  $\emptyset$  en 1 van P.I.T. nr. 2. ("leader").
- stuurlijnen ( $C_{1,2,3}$ ) kunnen naar keuze toegepast worden, voor bv.: start/stop, heen/terug, langzaam/snel bandtransport. Voor de aansluiting van twee professionele digitale cassette loopwerken van het merk TEAC (type MT -2-03) is bovenstaande beschrijving bijna voldoende. De aansluiting van FACIT cassette recorders (type 4203) vergen meer stuurlijnen. Daarom is er op de kaart nog een extra parallelle I/O bouwsteen (P.P.I.), waarvan poort C als uitgang is geprogrammeerd. Ieder bit van deze 8 bits poort kan afzonderlijk worden bediend d.m.v. de bit set/reset instructie.  $PC_{\emptyset}$  wordt gebruikt voor vrijgeven of blokkeren van het schrijven naar de recorders, terwijl aan de bits  $PC_{1,2,3}$  speciale functies zijn toebedacht voor de recorders.

De controle op de cassette recorder werking kan m.b.v. status analyse uitgevoerd worden, o.a.:

- indikatie voor geselecteerde recorders.
  - indikatie voor toestand van een stuurlijn ( $C_1$ ).
  - indikatie voor rewind kommando.
  - indikatie voor de markeringssignalen - aktueel.
  - indikatie voor de markeringssignalen - historie.
  - drie statuslijnen ( $S_{1,2,3}$ ) kunnen naar keuze gebruikt worden, voor bv. recorder staat klaar, bandzijde (A of B), schrijf protectie.
- Ook hier zijn extra "sense" lijnen toegevoegd d.m.v. de extra P.P.I. (poort A). De poortbits  $PA_{\emptyset,2}$  vormen daarbij een indikatie voor de oorspronkelijke markeersignalen. Hierdoor blijft de lengte van het doorzichtige begin van een cassette bandje ("leader") detekteerbaar. Zoals reeds opgemerkt, wordt dit verkort aan de P.C.C. aangeboden. Nog een vijftal PA bits (1, 3, 4, 5, en 7) zijn bedoeld voor status analyse van de FACIT recorders.

De cassette controller (P.C.C.) verzorgt de conversie van 8 bits data woorden naar een fase gemoduleerd signaal (P.E., fig. 3.8.2.). De vereiste schrijfklok frekwentie is tweemaal de gewenste bitdichtheid:

$t_w = \frac{1}{2} t_b$  (instelbaar via tellerø van P.I.T. nr 1). Bij het schrijfproces kan het volgende programmatisch worden ingesteld:

- voor- en nawoord van een datablok ("pré- en postamble; ECMA AA-H).
- bloklengte (2 byte's minimaal; ECMA 4-256 byte's).
- fout controle d.m.v. geschoven som.

(C.R.C.C. = "cyclic redundancy check character"). Deze polynoom ( $x^{16} + x^{15} + x^2 + 1$ ) wordt automatisch berekend, kan gelezen worden en naar wens wel of niet op de band gezet.

- woordlengte is vast in 8 bits en er is geen automatische pariteit bit generatie per woord.
- Het "phase encoded" schrijfsignaal is d.m.v. status analyse testbaar.
- het tijdig weer vullen van het schrijfregister (beëindiging blok) is detekteerbaar.

Het leesproces is kritischer: de oorspronkelijke schrijfsnelheid en aktueel band transport bepalen het tempo waarin gelezen moet worden. Om de samenhang toe te lichten is het noodzakelijk kort in te gaan op de magnetische registratie methodiek. De lineaire informatie wordt door de schrijfklok bemonsterd en omgezet naareen fase gekodeerd signaal:

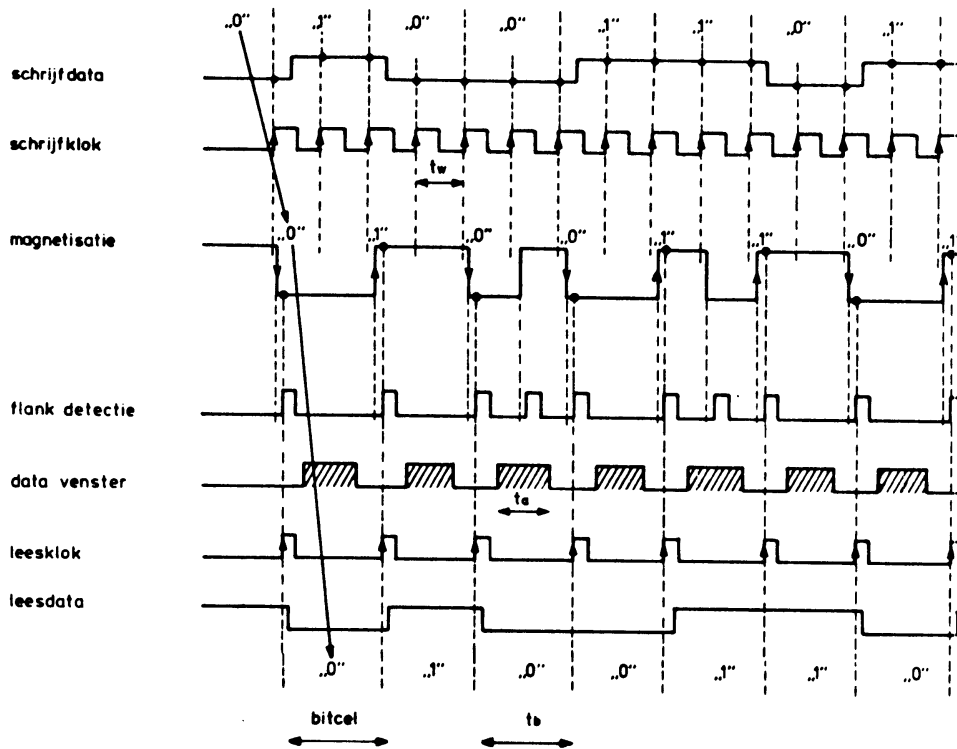


Fig. 3.8.2. Kode konversie bij magnetische registratie.

Er ontstaat een reeks van significante- en niet significante magnetische flux wisselingen. De eerste op het halve ritme van de schrijfklok, terwijl de tweede soort tussentijds optreden indien de binaire informatie zich niet wijzigt.

Bij het reconstrueren van de oorspronkelijke informatie, d.m.v. lezen, is een filter proces nodig: alleen betekenisvolle flux wisselingen dragen bij tot de informatie overdracht.

Dit wordt gerealiseerd door geselecteerde flank detectie. Te beginnen bij de eerste magnetisatie verandering wordt een blokkerings-intervall-tijd ( $t_a$ ) gevormd. Een eventueel optredende niet belangrijke flux wisseling wordt hierdoor gemarkeerd. Alleen op de juiste magnetisatie overgangen wordt het geschreven signaal bemonsterd en wij spreken dan ook wel van "bemonster poort" (S.G = "Sample Gate").

De optimale waarde voor  $t_a$  is uit fig. 3.8.2. af te lezen, doordat zich daarbij twee grensgevallen voordoen en wel:

De optimale vensterbreedte ligt hier midden tussen:  $t_a = \frac{3}{4} \cdot t_b$ .  
In dat geval zijn fase variaties van  $\pm 25\%$  toelaatbaar. Lees- en schrijfproces op verschillende band recorders kunnen van elkaar afwijken en wel in:

- a. schrijf klok frekwentie.
- b. bandsnelheid bij schrijven.
- c. bandsnelheid bij lezen.
- d. lees klok frekwentie.

De klokken a en d worden meestal van een kristal afgeleid en vertonen weinig variaties. De mechanische bandsnelheid kan echter wel aanzienlijk variëren in de tijd en tussen recorders onderling.

M.b.v. de cassette stuurkaart is foutloos lezen van "slechte" bandjes, binnen ruime toleranties, mogelijk. Hoe dit in zijn werk gaat wordt aangegeven in het blokschema in fig. 3.8.1. Daarbij zal de functie van de diverse componenten toegelicht worden.

Het fase gekodeerde signaal (P.E.) wordt aangeboden aan een digitaal regelsysteem (D.P.L.L.). Dit systeem genereert een leesklok, die in de pas blijft met het leessignaal: op iedere (signifikante) flux wisseling wordt de leesfrekwentie met een bepaalde waarde verhoogt, dan wel verlaagd. Het D.P.L.L. systeem is zo gedimensioneerd dat trendmatige bitdichtheid veranderingen, tot op 75%, worden bijgestuurd.

Het data venster corrigeert kortstondige fase fouten ("jitter").

De plaats en breedte ervan verschuift op iedere significante magnetisatie overgang en blijft daardoor in de pas met de aktuele data op de band. Voor een beknopte beschrijving van de D.P.L.L. wordt verwezen naar Appendix F.

De informatie wordt in de vorm van data blokken op de band gezet. Binnen zo'n blok is er sprake van een regelmatige opeenvolging van "data flanken" en wel één per bittijd ( $t_b$ ).

Wanneer er binnen  $(1 + 0,25) \cdot t_b$  geen flux wisselingen gedetekteerd worden, is er een wisseling weggevallen of is het data-blok beeïndigd. In het eerste geval spreken wij van een "dropout" (D.O.) en in het tweede geval is een blokhiaat ("gap") bereikt. De programmeerbare tellers  $\phi, 1$  en  $2$  in de P.I.T. nr.1 genereren de juiste tijdsintervallen, om deze situaties te kunnen konstateren (S.G. =  $0,75 t_b$ ; D.O. =  $1,5 t_b$  en gap =  $4 \cdot t_b$ ).

Deze tijdtellers worden gestart op de ontvangst van een flankdetektie signaal (door de cassette controller - D.T.-puls), en geklokt door het D.P.L.L. systeem. De tellers 1 en 2 van P.I.T. nr. 2 verzorgen een pulsbreedte aanpassing (P.C.C. eis) van de flankdetektie signalen (RD $\pm$ ).

Bij het lezen van de cassette band is de volgende status analyse mogelijk:

- ruis detektie voorafgaande aan data blok.
- ruis detektie volgend op datablok.
- het niet tijdig uitlezen van het leesregister (overschrijving informatie).
- "drop-out" detektie.
- "record" detektie
- "gap" detektie
- "C.R.C. Check" d.w.z. foutmeldingsbit en mogelijkheid tot lezen van dit pariteits controle woord.
- ontvangen voor- en nawoord van een datablok zijn controleerbaar.

De P.C.C. maakt tevens controle mogelijk tijdens het schrijven van een datablok: lezen na schrijven ("read after write") principe. Tenslotte zullen wij kort ingaan op de interruptie mogelijkheden van de cassette stuurkaart. De cassette controller bezit slechts een enkele interrupt uitgang, (fig. 281, IR1), terwijl er drie interne bronnen voor aan te wijzen zijn. Via een (ingewikkeld) samenstel van kommando bits is een keuze te maken tussen verzoeken tot:

- een karakter aanbieden (schrijf buffer is leeg).
- een karakter afnemen (lees buffer is vol).
- blokhiaat afhandeling (einde blok).

Op ontvangst van de interrupt (door de processor) moet nagegaan worden wie de onderbrekings-aanvrager was (afvraagcyclus).

Voor meer details wordt verwezen naar de "magnetic tape cassette/cart-ridge controller user's manual" van Nippon Electric Co. O.a. is in fig. 3 een duidelijk schema opgenomen van de interrupt werking (uitgave nov. 1977. Voor het "lezen na schrijven" mechanisme is interrupt verwerking noodzakelijk.

Opmerkingen: Oudere documentatie (21 oktober 1976) van de cassette controller geeft aan dat er een diagnostische modus bestaat. Daarbij worden alle ingangen verbroken (WR  $\phi$ , bit 6) en vervangen door pseudo signalen (WR 6, bit 2, 3, 4, 6, 7). De uitgangen worden zwevend en een indicatie hiervoor levert pen 42 ("always high"). Pen 1 ("must be high") fungeert als overeenkomstige stuurlijn (test).

Op de cassette stuurkaart is een "watch dog timer" interrupt (IR $\phi$ ) aangebracht. Dit d.m.v. de programmeerbare teller 2 in P.I.T. nr. 2. De klokfrequentie ervan is 1,8432 Mz en het tijdsinterval kan ingesteld worden tussen 540 nsec en 35,4 msec. De start ervan kan programatisch (PC<sub>4</sub> bit van P.P.I.) of via een extern signaal (bv. band op snelband, RUN) verlopen.

In het voortgaande zijn de functies van de 3 x 3 = 9 programmeerbare tellers P.I.T.  $\phi$ , 1, 2 aangegeven. Ook de functies van de extra parallelle in/uitvoer (P.P.I.) is grotendeels aangegeven. Hier volgen de ontbrekende:

- poort B verzorgt, op kommando van het PC<sub>6</sub> bit, de voorinstelling van het D.P.L.L.-systeem (zie bijlage F).
- het "set/reset bit PC<sub>7</sub>" maakt het mogelijk de kommando signalen van en naar de cassette recorders te blokkeren (zwevende uitgang). Dit blijkt noodzakelijk tijdens initialisatie van de cassette controller.

De aansluiting van deze typen cassette recorders zijn beproefd:

- a. TEAC MT-2-03 loopwerk.
- b. FACIT 4203 recorder.
- c. MFE 450 loopwerk.

T.b.v. b zijn een aantal stuur- en status signalen extra aanwezig via P.P.I. De MFE recorder vergt tenslotte een extern stuursignaal ter synchronisatie van de schrijf elektronika (halve frequentie van P.C.C. schrijfklok). Ook deze voorziening is op de cassette stuurkaart aanwezig en kan optioneel gebruikt worden.

Uit voorafgaande moge duidelijk zijn, dat:

- veel functies op deze kaart instelbaar ofwel "programmeerbaar" zijn.
- dit de beschrijving en bestudering ervan niet eenvoudig maakt.
- daardoor echter een zeer ruime fouten-kontrolle mogelijk is.
- weinig cassette bandjes onleesbaar zullen blijven.

De adres- en bouwsteen selectie van de cassette stuurkaart is niet zuiver binair. De cassette controller (P.C.C.) bezit 6 kommando- en 4 status registers. Deze worden aangewezen door een combinatie van de adres bits  $A_{2,1,0}$ . De combinaties  $(111)_2 = 7D$  bij schrijven en  $(1xx)_2 = 4$  t/m  $7D$  bij lezen van de P.C.C. levert geen informatie overdracht op en zijn dus beschikbaar voor ander gebruik. De overige I/O bouwstenen bezitten 4 registers of register paren en worden door  $A_{1,0}$  aangewezen. Bij het lezen van de P.I.T. op de adres bits  $A_{1,0} = 3D$  gebeurt niets, terwijl ditzelfde voor de P.P.I. verboden is.

De kaart selectie is instelbaar m.b.v. een hexadecimale schakelaar waarbij 0 t/m 7 een van acht I/O adressen en 8 t/m F een van acht geheugen adressen voorstelt. De I/O bouwsteen adressering is als volgt (met jumpers) te realiseren:

Adres $A_{4,3,2}$ .	I/O bouwstenen
0 0 X	P.C.C.
0 1 0	P.I.T. $\emptyset$
0 1 1	P.I.T.1
1 0 0	P.I.T.2
1 0 1	P.P.I
1 1 0	Vrij.
1 1 1	

Tabel 3.8. Adressering op cassette stuurkaart.

De cassette controller (NEC,  $\mu$ PD-37) blijkt trager dan de microprocessor (Intel 8080) waardoor een wachttijd vormer nodig is. D.m.v. een schuifregister kunnen 0-8 wachtcyclus (tw) ingesteld worden (overeenkomstig § 3.2). Nodig bleek  $1 \times tw = 540$  nsec.

4. De speciale kaarten in het  $\mu$ P- systeem.

Naast de systeemkaarten (§ 3) zijn er een aantal "hulp- en aanpassings" kaarten nodig:

- de systeemkaarten worden onderling doorverbonden m.b.v. een universele bus, § 4.1.
- d.m.v. een hulpkaart zijn de systeemkaarten toegankelijk, § 4.2.
- om het systeem van de nodige energiete voorzien is een centrale voeding aanwezig, § 4.3.
- het blijkt in de praktijk zeer nuttig om het meetsysteem galvanisch van de buitenwereld te scheiden, § 4.4.
- de onderlinge koppeling van apparatuur geschiedt op standaard wijze, § 4.5 en 6.
- een kalenderklok verzorgt de tijdsmarkering, § 4.7.



#### 4.1. De systeembus.

Dit is een langwerpige bedrukte bedradingskaart (48 x 10 cm.), met daarop 64 universele bus lijnen. Deze zijn naar hun functie ingedeeld:

- een 16 bits adresbus op de connector pennen a/c 21 t/m 28
- een 8 bits databus op a/c 5 t/m 8
- een 24 bits besturingsbus op a/c 9 t/m 20
- een 10-tal voedingslijnen a,c 1 t/m 4 en a,c 29 t/m 32

Een gedetailleerde beschrijving van de afzonderlijke buslijnen is te vinden in § 3.2. en Appendix A.

Iedere lijn is af te sluiten met een weerstand naar de +5 voeding. De systeemkaarten kunnen op een willekeurige plaats op deze bus aangesloten worden. Daartoe zijn deze voorzien van een 64 polige "systeem connector" (P<sub>1</sub>). Dit vormt een onderdeel van de gestandaardiseerde 96 pens) connector (DIN 4162). Deze is verdeeld in 3 rijen van 32 pennen, resp. aangeduid met a, b en c. De systeembus gebruikt alleen de buitenste rij pennen (a, b en c), zoals bovenstaand aangegeven.

In het systeem zijn uitbreidingen mogelijk:

- 16 bits adresbus.

Acht voedingslijnen (a,c 1 t/m 4) kunnen vervangen worden door data-lijnen. De systeembuskaarten werken nl. op één voedingsspanning (+5V) of zijn daarop aan te passen ("nieuwe" processor- en geheugenkaart).

- "bus request" = verzoek tot gebruik van de bus.
- "bus acknowledge" = toestemming en indicatie van het gebruik van de bus.

Deze vervangen in feite de bus signalen "HOLD" en "HOLDA" ( zie § 3.1.) die aangesloten dienen te worden op een speciale besturingsschakeling: de "buscontroller". Deze verzorgt de prioriteits volgorde van meerdere bus gebruikers en vertoont veel overeenkomst met een "interrupt controller", zie § 3.7.

#### 4.2. De verlengingskaart.

Dit is een "dumming" kaart die in de plaats komt van een systeem kaart en verlengt in feite de bus-, voedings- en in/uitvoer lijnen. Aan de voorzijde bevindt zich ook een 64 polige bus connector en 96 polige I/O connector.

Hierop zijn de systeem kaarten weer aan te brengen, die daardoor naar voren uitsteken. Dit maakt het mogelijk op handzame wijze aan de elektronische schakelingen (test) metingen uit te voeren.

#### 4.3. De voedingskaart.

Op een "dubbele Euro-formaat" (23 cm. hoog, 16 cm. breed) zijn een aantal "geschakelde" voedingen geplaatst.

Deze worden vanuit de lichtnet gevoed (220 V~), zijn galvanisch van elkaar gescheiden en leveren de volgende spannings niveau's en maximale stroom waarden:

+ 5V, 12 Amp (a,c 29,30)	+ 5V, 1 Amp
+ 12V, 2 Amp (a,c 4)	+ 12V, 0,6 Amp
- 5V, 1 Amp (a,c 3)	- 12V, 0,6 Amp

De systeemkaarten gebruiken de waarden uit de linker kolom, terwijl de rechter kolom de voeding voor een aantal speciale in- en uitvoer kaarten kan verzorgen.

Een netstoringsfilter is aanwezig.

#### 4.4. De galvanische scheidingskaart.

In de meettechniek veroorzaken "aardlussen" incidentele storingen, zonder dat de reden ervan onmiddellijk duidelijk is. De remedie hiertegen vormt een drastische scheiding van systeem onderdelen.

Op een speciale kaart zijn daartoe een 48-tal "opto-eletronische" schakelingen aangebracht. Hiermee zijn 24 in- en 24 uitgaande signaal lijnen galvanisch te scheiden.

Onderstaand blokschema geeft een beeld van hun toepassing:

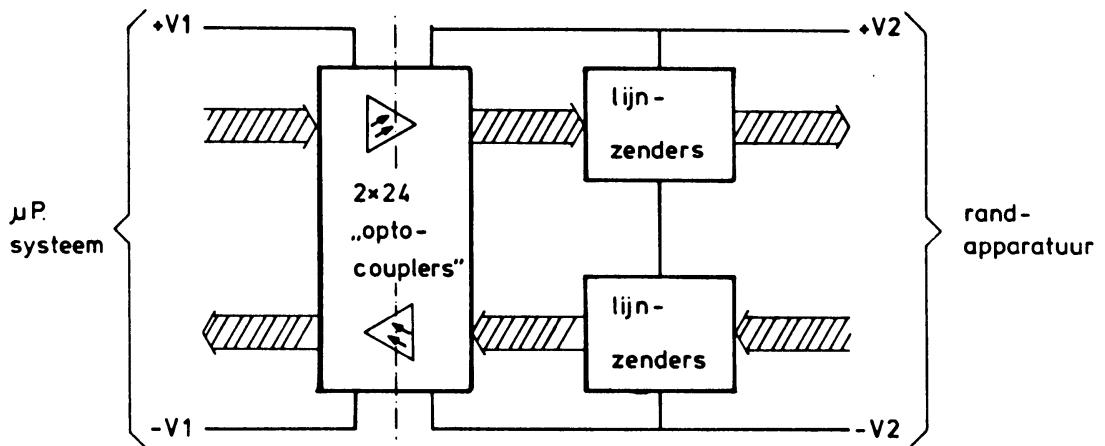


Fig. 4.4. Galvanische scheiding.

Een optische koppeling bestaat uit een samenvoeging van een licht emitterende diode (zender) en een licht gevoelige transistor (ontvanger). Beide worden afzonderlijk gevoed,  $V_1$  en  $V_2$  zijn dan ook geïsoleerd van elkaar.

De galvanische scheidingskaart is zowel aan te sluiten op de serie-, de parallel-, de byte multiplexer - als de tellerkaart van het micro processor systeem. De in- en uitgaande signaallijnen van deze kaarten zijn daartoe op dezelfde pennen (a en c) ingedeeld. Dit maakt een aansluiting m.b.v. een 64 polige lintkabel mogelijk.

Het zelfde geldt voor de randapparatuur kant: m.b.v. "flat-cable" zijn speciale lijn zenders en ontvangers aan te sluiten.

In § 4.5 en 6 worden speciale schakelingen voor data kommunikatie, over korte of lange afstanden, behandeld.

#### 4.5. De RS-232C aanpassingskaartjes.

De verbinding tussen een data verwerkingssysteem ("data terminal") en een data kommunikatie systeem ("data set" of "modem") is internationaal afgesproken d.m.v. de ETA-RS-232C standaard. Hierin wordt o.a. gedefinieerd:

- logische spannings niveau's op de lijn.
- data- en "handshake" signalen.
- connector en pen verdeling van de signalen.

Voor de aansluiting van randapparatuur (bv. beeldbuis stations) op het microprocessor systeem kan van deze afspraak gebruik gemaakt worden.

Hierbij dienen echter wel de volgende kantekeningen geplaatst te worden:

- randapparaten zijn in principe, data producenten en/of consumenten, vandaar dat zij als "data terminal" worden beschouwd.
- als zodanig worden zij van een verbindingskabel voorzien ter aansluiting op een "modem".
- het  $\mu$ P-systeem is een data verwerkend systeem dus ook als "data-terminal" te beschouwen.
- willen wij echter de bij het randapparaat geleverde "modem-kabel" toepassen, dan dienen wij het  $\mu$ P-systeem als "modem" op te nemen.

Deze "konflikt" situatie komt tot uiting in de bedradings keuze van het RS-232C spanningskaartje:

- de verzameling data- en stuur signalen zijn kruiselings door verbonden. Het  $\mu$ P-systeem fungeert daarbij als "modem".
- er is ruimte gereserveerd om ook recht doorgaande verbindingen mogelijk te maken, dit d.m.v. draadbruggen. In dat geval kan op het  $\mu$ P-systeem een "modem" aangesloten worden.

De volgende keuze uit de beschikbare RS-232C signalen is gemaakt:

- zend signaal                    T X D    (in)    pen nr. 2
- ontvangst signaal            R X D    (uit)   pen nr. 3
- verzoek tot zenden           R T S    (in)    pen nr. 4
- toestemming tot zenden      C T S    (uit)   pen nr. 5
- "data terminal" beschikbaar D T R    (in)    pen nr.20

- "data set" beschikbaar      D S R    (uit)    pen nr. 6  
- draag golf detektie          D C D    (uit)    pen nr. 8

Voor de goede orde is hierbij aangegeven of er sprake is van in- of uitgang t.o.v. het  $\mu$ P-systeem. Hieruit blijkt de kruiselingse doorverbinding van de signalen (op het kaartje). Vandaar da verwisseling van aansluit draden overbodig is: de aangegeven pennummers zijn gestandaardiseerd via de genoemde RS-232C afspraak.

Per data kommunikatie kanaal zijn een viertal RS-232C lijn zenders en ontvangers op het kaartje (4 x 4,5 cm) aangebracht.

Deze kaartjes zijn aan te sluiten op het  $\mu$ P systeem d.m.v. de galvanische scheidingskaart. (§ 4.4.). Hierop passen 8 van deze kaartjes die aangebracht dienen te worden op de achterwand van de systeem bak.

Energieverbruik van dit kaartje bedraagt: + 5V, 50 mA; + 12V, 40 mA en -12V, 40 mA.

#### 4.6. Differentiële aanpassingskaartjes.

Voor langere leidingen is differentiëel data transport aan te bevelen. Een van de mogelijkheden vormt spanning sturing met tegengestelde polariteit. Er is sprake van een volledige omkering van de stroomrichting over een twee draadsverbinding. Elektrische stoorpulsen veroorzaken op beide draden stroom stoten die elkaar nagenoeg elimineren. Open lijnen zijn detekteerbaar, doordat een derde toestand (geen stroom) optreedt.

Ook deze data transport methode is internationaal vastgelegd via de RS-422 standaard.

Op een klein kaartje (6 x 6,5 cm.) zijn speciale lijn zenders en ontvangers aangebracht.

De lijnzender is spanning gestuurd, terwijl de lijn ontvangst gerealiseerd is m.b.v. een optische koppeling en afsluiting. Een open lijn detektie schakeling is aanwezig en de beide zender uitgangen zijn stroomloos te sturen. Ook dit kaartje is door te verbinden met de serie kaart (§ 3.3). D.m.v. status analyse is een open lijn te detekteren (D.S.R.-bit), terwijl door een kommando (D.T.R.-bit) de zender uitgang zwevend te maken is.

Op dit kaartje is een extra lijnzender aangebracht, waarmee data naar een "neven aflezing" te versturen zijn. Dit kan extra zend informatie of doorgestuurde ontvangst informatie zijn. Een keuze daartoe is te maken m.b.v. draadbruggen.

Het energie verbruik bedraagt:

+12V, 42mA en +5V, 60mA.



4.7. De kalender klokkaart.

Voor sturing en tijdsmarkering van "real-time" metingen wordt een datum-tijd generator op het  $\mu$ P-systeem aangesloten. Een overzicht van de schakeling geeft onderstaande figuur:

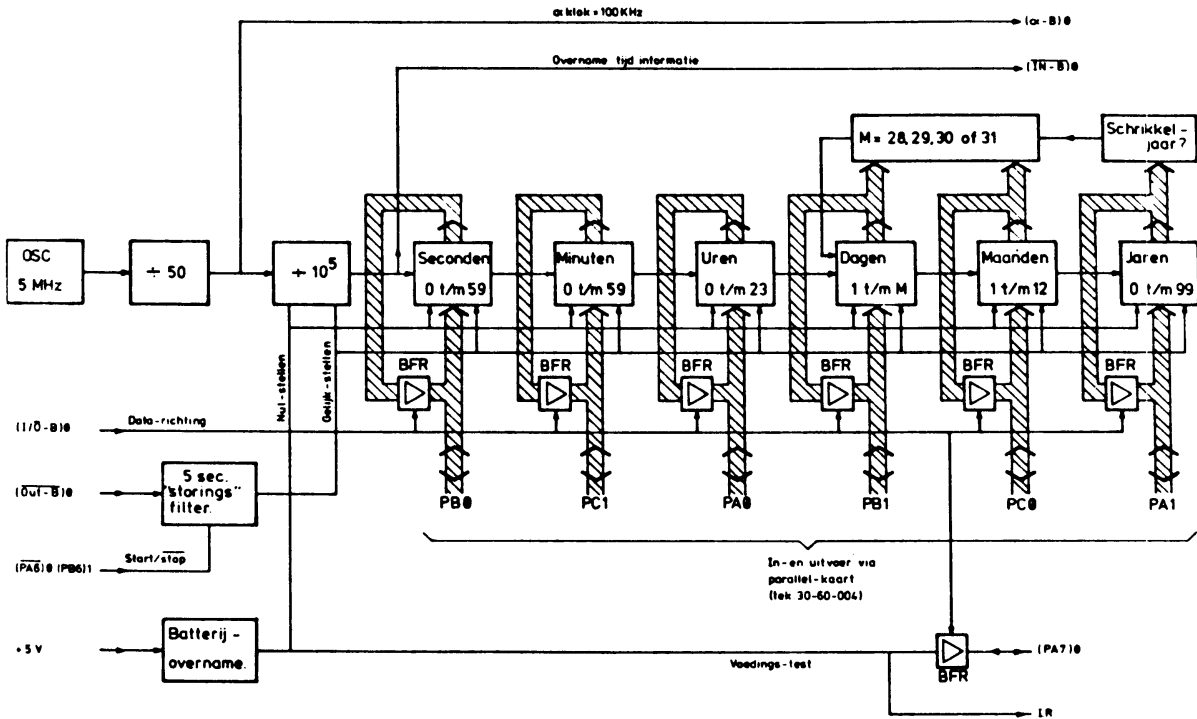


Fig. 4.7. Blokschema kalenderklok.

Deze elektronische schakeling is aangebracht op een dubbel Euro formaat (16 x 23 cm.) kaart en dient aangesloten te worden op de parallelle in- en uitvoerkaart, uit § 3.4.

Bijzonderheden:

De kalenderklok kan zowel uitgelezen als ook gelijkgezet worden.

Deze akties verlopen op "handshake" basis:

- iedere seconde overgang wordt automatisch in de parallel I/O bouwsteen overgenomen.
- deze informatie verversing is detekteerbaar d.m.v. status analyse of op interrupt basis (via poort B van P.P.I.ϕ zie § 3.4.).
- hierop kan de uitlezing van de volledige kalenderklok gestart worden.
- de richting van het data transport wordt eveneens vanuit de parallel kaart gestuurd, overeenkomstig de geprogrammeerde in- of uitvoermodus.
- gelijkzetten van de kalenderklok vereist een omschakeling naar de uitvoer situatie (van de parallel kaart).
- daarna moet de volledige datum-tijd informatie in de diverse parallel poorten geladen worden.
- het tijdstip van overname wordt weer bepaald door de seconde overdracht (via poort Bϕ).

De kalenderklok schakeling bezit de volgende eigenschappen:

- het energie verbruik is door de toepassing van CMOS componenten gering:
  - +5V, mA, d.i. 20 mW.
- de klok werkt normaliter op de systeem voeding.
- bij uitvallen hiervan wordt de energie voorziening automatisch overgenomen door batterijen.
- op de kaart zijn een twee-tal 9 volts "accumulatoren" opgenomen, waardoor een vrijloop van 2 tot 3 uur bereikt wordt (0° resp. 20°C).
- een spontane data overname- bij het langzaam opkomen van de systeem voeding- te voorkomen is een digitaal filter (3-4 sec.) in fig 4.7. opgenomen.
- uitvallen van de klokvoeding is detekteerbaar d.m.v. status analyse (poort bit PA<sub>7</sub> van P.P.I.ϕ) of op interruptie basis (I.R.).
- bij het weer herstellen van de energie voorziening wordt de klok geïnitieerd: alle tellers starten vanaf nul.

- dit vormt een indicatie voor "historische:" voedings onderbreking.
  - de stabiliteit van de tijdsbasis is hoog door toepassing van een temperatuur gecompenseerde oscillator schakeling. ( $\frac{1}{2}$  p.p.m. / $^{\circ}$ C), hetgeen echter wel ten koste blijkt te gaan van de dissipatie (extra +12V, 16 mA = 200 mW).
  - het "handshake mechanisme" wordt gesynchroniseerd door de interne kalenderklok frekwentie.  
Deze  $\alpha$  klok is 100 kHz, waardoor de overname en het gelijkzetten slechts 10  $\mu$ sec achter kan lopen.
  - de kalenderklok zelf verloopt ook synchroon met deze  $\alpha$  klok:  
d.w.z gelijktijdige verandering van alle data bits.
  - de klok informatie is decimaal gekodeerd, in 39 bits B.C.D..
- Nadere informatie over parallel data transport, en "handshake" wordt gegeven in § 3.4. resp. Appendix C.

4.8. De handbediening van de processor en de uitlezing van de processor werking.

M.b.v. een speciale besturingseenheid is het mogelijk de micro processor geheel met de hand te bedienen en daarmee de sekventiële werking ervan te interpreteren.

Dit is nuttig voor:

- educatieve doeleinden.

Voor een eerste kennismaking met "computers" blijkt dit hulpmiddel een hoge educatieve waarde te bezitten.

- test en controle.

Vooral die diagnostische metingen, waarbij ingrepen noodzakelijk zijn, zijn m.b.v. de handbediening uit te voeren.

De aktuele uitvoering van een programma kan snel ("real-time") zichtbaar gemaakt worden m.b.v. een "logic state analyzer".

Aan de hand van het hieronder afgebeelde bedieningspaneel wordt een korte opsomming gegeven van de akties die m.b.v. deze besturingsschakeling mogelijk zijn.

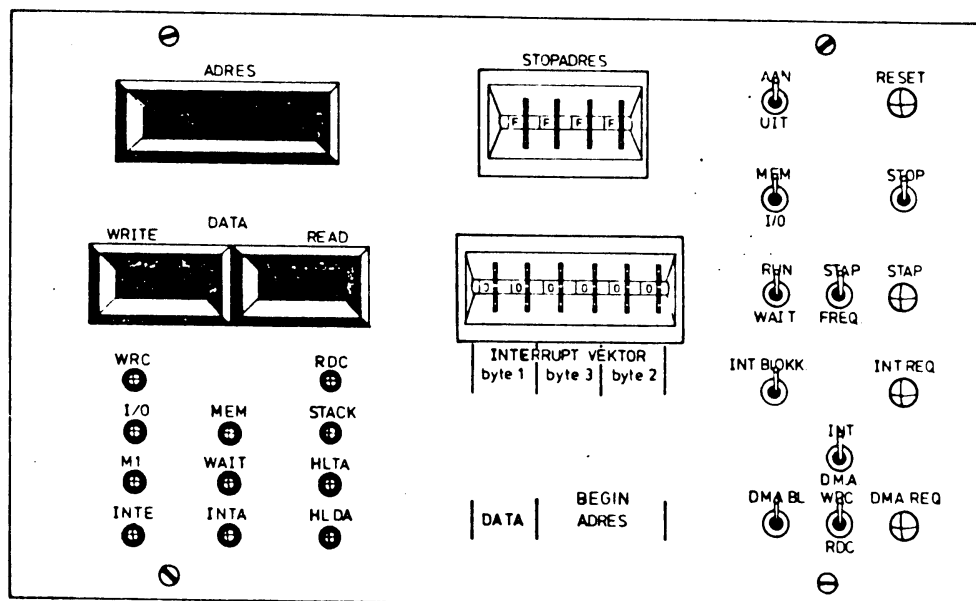


Fig. 4.8. Bedieningspaneel van de handbediening en uitlezing.

Dit paneel is indrie delen te splitsen en wel van links naar rechts:

- signalering van systeem toestand en informatie verwerking, dit m.b.v. indicatie lampjes en "hexadecimale display's".
- instelling van voorwaarden waarbinnen het systeem te beïnvloeden is, dit d.m.v. hexadecimale duimwiel schakelaars.
- besturing van de aktuele processor werking, dit d.m.v. keuze- en puls schakelaars.

De volgende informatie is af te beelden:

- de adresbus
- de databus
- de besturingsbus

Daarbij wordt een onderscheid gemaakt tussen informatie die naar- of vanaf de processor getransporteerd wordt (schrijven resp. lezen).

De processor kan informatie uitwisselen met resp.:

- in- en uitvoer apparatuur (I/O).
- "normale" geheugen lokaties (MEM).
- "stapel" geheugen lokaties (STACK).

Het ophalen van een instructie wordt aangegeven met de signalering  $M_1$  (eerste machine cyclus).

De processor kan zich bevinden in:

- de wacht toestand (WAIT).
- de stop toestand (HLTA).
- de geïsoleerde toestand (HLDA).

Tenslotte wordt aangegeven of:

- de processor te onderbreken is (INTE).
- de processor een interruptie afhandelt (INTA).

Voor een toelichting wordt verwezen naar § 3.1 (bus signalen) en Appendix A (processor werking).

Diverse akties zijn te initiëren m.b.v. de bedieningsschakelaars:

- a. aktiveren of blokkeren van het hand bedieningspaneel (aan/uit).
- b. de processor initialiseren (reset).
- c. de processor stoppen na bereiken van een ingesteld "stop adres".  
Dit kan een in- of uitvoer adres, dan wel een geheugen adres zijn (MEM/I/O).

- d. stapsgewijze doorlopen van een programma cyclus. De snelheid is instelbaar, de opeenvolging van de instructies (en data) is automatisch (1,2,4, of 8 H<sub>z</sub>)- dan wel manueel instelbaar (puls schakelaar "stap").
- e. "handbediende" interrupt afhandeling.
- f. "handbediende" D.M.A.-actie.

In het processor systeem zelf kunnen ook interrupt- en D.M.A. acties uitgevoerd worden. Bij meerdere verzoekers daartoe verloopt de afhandeling in een vooraf bepaalde prioriteits volgorde. Deze selectie wordt verzorgd door een "interrupt- resp. D.M.A.-controller" in het  $\mu$ P-systeem. Het handbedieningspaneel kan in dit verband op deze twee manieren gebruikt worden:

- als enige interrupt- of D.M.A. verzoeker in het systeem. (blokkeer de eventueel aanwezige "controllers").
- opgenomen worden in de reeks verzoekers, die op het systeem zijn aangesloten. (aansluiten op de "controllers").

Het D.M.A. data transport van en naar het bedieningspaneel levert de mogelijkheid op om een bepaalde geheugen gebied te beschrijven of uit te lezen. Dit gebied is instelbaar m.b.v. begin- en eind adres (stop adres). De geheugen lokaties kunnen stapsgewijs, dan wel op volle processor snelheid (RUN) worden aangewezen.

#### 4.9. Aansturing van cijfer display's.

Een van de mogelijkheden om digitale informatie af te beelden vormen visuele weergave elementen, zoals "7 segment display's". Deze zijn aan te sluiten op de "scankaart", uit § 3.5.

Hierbij wordt een "multiplex" of "scan" methode toegepast: de "cijfer display's" worden opeen volgend doorgeschakeld en gedurende een bepaalde tijd van informatie voorzien. M.b.v. de "scankaart" zijn maximaal 4 groepen van 16 karakters cyclisch te verversen met een minimale herhalingsfrequentie van  $\approx$  30 Hz. Het menselijk oog filtert deze variaties, waardoor dit als een stilstaand beeld wordt ervaren. Dit scanprincipe maakt het mogelijk de datalijnen van de afzonderlijke display's samen te voegen en daardoor het aantal toevoerdraden te reduceren.

De 7 segmenten zijn rechtstreeks aan te sturen (vereist 7 lijnen) dan wel gekodeerd naar hun decimale voorstelling (B.C.D, 4 lijnen). In het eerste geval is het 8e data bit beschikbaar voor de indicatie van een decimale punt.

In het tweede geval worden de 8 bits woorden verdeeld over 2 nibble's, die ieder een decimale waarde kunnen vertegenwoordigen. De decimale punt kan in dat geval apart aangestuurd worden of uit de overvloedige bit-kombinaties ( $2^4 - 10 = 6$ ), gehaald worden. Afhankelijk van bovenstaande keuze zullen een of twee cijfers (met - of zonder decimale punt) gelijktijdig oplichten.

De adressering van de "display's" wordt verzorgd door de "scan" lijnen. Ook deze 4 bits zijn gekodeerd (1 uit 16), dan wel gekodeerd (1 uit 4) aan te bieden.

Tenslotte is deze scan cyclus programmatisch in te stellen op 8 of 16 karakters. Kortom er zijn legio mogelijkheden.

Voor een specifieke toepassing (zichtwaarden op een tableau) is een aanpassingskaart van 7 segment display's beschikbaar.

Hierop wordt de B.C.D. waarde getransformeerd naar de 7 segment kode (d.m.v. I.C.).

Ieder 8 bits data woord stuurt twee cijfers. De meetwaarde is in 3 cijfers afgebeeld, zodat de eerste 6 datawoorden 2 groepen van ieder 2 meetwaarden aanduiden. Het zevende datawoord verzorgt 8 "decimale" punten en wel bij iedere meetwaarde ter linker en rechterzijde. Bij de zichtmeting indiceren deze stippen een toenemende- of afnemende zichtwaarde (rechter resp. linker stip). Op deze wijze kunnen een 48-tal "7-segment display's" aangesloten worden. Deze zijn op een wandkaart van een vliegveld (Schiphol) aangebracht en daarom van groot formaat (7 x 11 mm, HP-HDSP - 3730). De benodigde vermogens versterking ( $\approx 1$  Amp.) is op de kaart aanwezig. De aangesloten display's worden automatisch uitgedoofd tijdens het veranderen van de scan-lijnen. Dit wordt verzorgd door "blanking" lijn en voorkomt het zacht oplichten van de segmenten die voor een bepaalde cijfer indicatie uit behoren te zijn.

5. Programmering van het KNMI- $\mu$ P-systeem

Bij het ontwerp van de architectuur is rekening gehouden met een diversiteit van toepassingen, zo zijn o.a. kiesbaar:

- het aantal en de typen kaarten;
- het aantal I/O bouwstenen op één kaart;
- de adressering van kaart en bouwsteen;
- het al dan niet toepassen van het "handshake" mechanisme;
- het al dan niet werken op interrupt-basis bij in- en uitvoer;
- het data communicatie protocol en de spanningsniveau aanpassing (o.a. RS - 232 C of 422);
- data transmissie snelheden;
- het toepassen van "directe geheugen toegang" (D.M.A.), etc.

Voor een specifiek doel b.v. als "automatisch weerstation" dient een keuze uit al deze mogelijkheden gemaakt te worden.

Op deze "standaard machine" zou dan een besturingsprogramma van de in- en uitvoer ontwikkeld kunnen worden (in de assembleer taal van de 8080  $\mu$ P). Dit zou een koppelings ("interface") functie moeten vervullen tussen de toepassingsprogrammatuur en de verwerkings-apparatuur. Deze applicatieprogramma's kunnen, in dat geval, in een hogere taal geschreven worden.

N.B. Deze standaardisatie in de programmatuur is echter (nog) niet tot stand gekomen, doordat voortijdig de ontwikkeling van dit algemene systeem gestopt is. Vanaf eind 1979 wordt daarentegen ieder afzonderlijk systeem op een aparte eigen wijze geprogrammeerd. (projectmatig), al of niet in de assembleertaal.

Dit betekent in feite dat er voor iedere toepassing een eigen "operating system" wordt gecreëerd.

Diverse stuur-, test- en applicatieprogramma's zijn, in een min of meer definitieve vorm, ontwikkeld, o.a.:

- test procedures voor de kaarten;
- communicatie protocol voor het innemen van data (t.b.v. kodeschijf)
- parallelle aansluiting van een Facit ponsler, P.C.M. data transmissie apparatuur en een Ampex magneetband recorder;



- omzetting van N.B.A. stroommeter gegevens naar magneetband registratie (cassette- of "computer" band);
- sturing van een golfhoogte inzamel automaat (A-D conversie, klok en cassette);
- omzetting van informatie vanaf cassetteband naar grote (12 inch) "computer tape";
- het middelen van windsnelheid door het tellen van pulsen vanaf een anemometer;
- snelle omzetting gray- naar binair kode;
- middeling van de windrichting met in achtname van de "Noord-doorgang";
- bepaling R.V.R. waarden aan de hand van tabellen, gebaseerd op achtergronds helderheidsmeting;
- drukmeting m.b.v. Fuess kwikbarameter (sonische hoogte meting);
- diverse interrupt routine's t.b.v. het testen van instrumenten en hun verbindingen;
- sturing en controle van cassette band data opslag.

De opzet is om deze programmatuur in een bibliotheek op te nemen, om deze naar wens toe te kunnen passen in een automatisch weer station.

APPENDIX A

Definitie en oorsprong van de universele bus signalen, uit § 3.1.

Het KNMI- $\mu$ P-systeem bezit een eigen bus konsept.

Dit vertoont grote overeenkomst met:

- "MUBUS" standaard (J.D. Nicould, Lausanne)
- PTT-DN-bus (dr. Neher lab.)
- Zilog bus structuur. (Z-80- $\mu$ P), maar is niet vergelijkbaar met de Intel "Multibus", die o.a. bij "single board computers" wordt toegepast.

Hieronder wordt aangegeven hoe de bussignalen gekozen zijn en op welke wijze deze gegenereerd worden. In een tijdsdiagram wordt de onderlinge samenhang aangegeven.

De Intel 8080 microprocessor is een synchrone sekventiële machine: de interne akties en stuur signalen verlopen synchroon met één klokfrekwentie (twee fase klok  $\phi_1$  en  $\phi_2$ ). Ter sturing en aanpassing van externe gebeurtenissen is  $\phi_2$  (1,8432 MHz), als "systeem klok", op de universele bus aanwezig.

De machine doorloopt een variabel aantal toestanden: de "von Neumann" cyclus. Deze bestaat uit 3 tot 5 machine cycli (M1,2,3,----) en deze zijn weer onderverdeeld in 3 tot 5 klokcycli (T1,2,3,----).

Zowel de eerste machine cyclus als de eerste klokcyclus worden geïdentificeerd d.m.v. bus signalen,  $\overline{M1}$  resp.  $\overline{\text{sync}}$ .

In de eerste klokcyclus zendt de processor (extra) status informatie uit, die gecodeerd worden door een hulp bouwsteen: "bus controller", Intel 8238. De status bits  $D_7$  t/m  $\phi$  bevatten echter meer informatie dan de "8238" eruit haalt (zie technische documentatie van Intel 8080  $\mu$ P).

Hieruit is onderstaand Karnaugh diagram afgeleid:

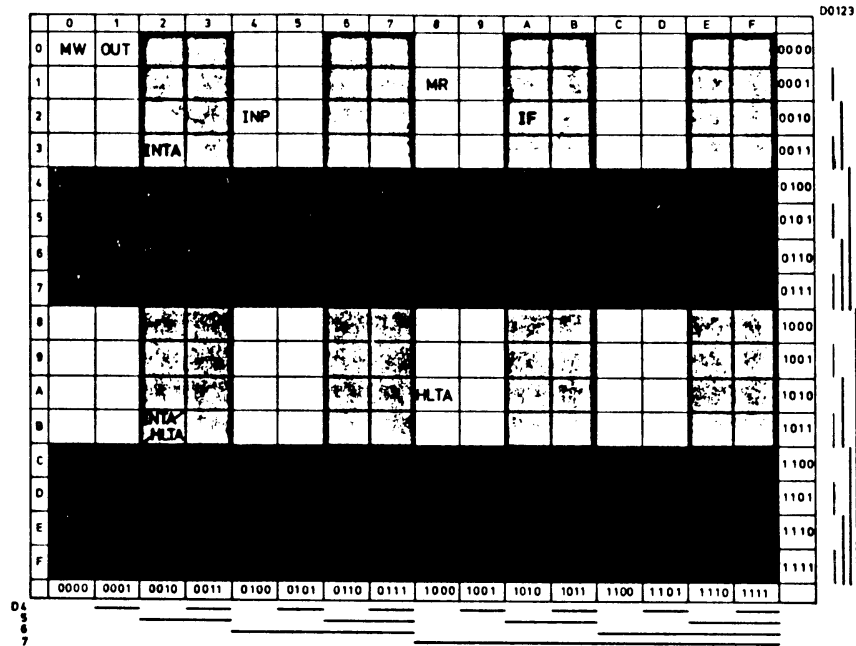


fig. A-1 8 bits Karnaugh diagram ter dekodering van status informatie.

Hierin zijn afkortingen gebruikt met de volgende betekenis en hexadecimale (H) waarde:

- MW = schrijven in geheugen = 00H
- SW = " op stapel geheugen = 04H
- OUT = uitvoer (schrijven) = 10H
- INTA = interrupt bevestiging = 23H
- INTA/HLTA = " tijdens halt = 2BH
- INP = invoer (lezen) = 42H
- M.R. = lezen uit geheugen = 82H
- S.R. = " vanaf stapel geheugen = 86H
- HLTA = proces halt toestand = 8AH
- I.F. = opdracht ophalen in M1 = A2H

Verder zijn alle blanco hokjes "don't care" d.w.z. betekenisloos. De minimale codering van de funkties is te vinden door in het Karnaugh diagram zoveel mogelijk binaire combinaties samen te trekken. Daarin mogen de don't cares meegenomen worden.

Samenvoeging van S.W. en S.R. levert een maximaal aantal binaire combinaties van 128 op, waardoor het bussignaal "STACK" eenduidig bepaald is door één bit:

D2 = STACK = stapel manipulatie (A2-1).

Het bussignaal "HLT" ontstaat door samenvoeging van INTA/HLTA en HLTA. Dit beslaat de onderste helft van het Karnaugh diagram en dit wordt volledig bepaald door de variabele D3, waardoor:

D3 = HLT = processor in halt modus (A1-2)

Bij de keuze van het bussignaal M1 is rekening gehouden met de mogelijkheid om Zilog I/O bouwstenen in het systeem toe te passen. Daarbij is M1 actief tijdens INTA, ook dit levert 128 combinaties op (in fig. A-1), waardoor:

D5 = M1 = eerste machine cyclus (A1-3)

Deze drie status/stuur signalen zijn extra op de systeembus aanwezig. De polariteit is daarbij geïnverteerd, omdat de bussignalen actief "0" zijn gekozen.

Op overeenkomstige wijze zijn de signalen die de "buscontroller" levert uit fig. A-1 af te leiden: (samen voegen van MW, SW, resp. MR, SR, IF).

$\overline{D4} \cdot \overline{D1}$  = MEMW = schrijven naar geheugen (A1-4)

$D7 \cdot \overline{D3}$  = MEMR = lezen vanaf geheugen (A1-5)

D4 = I/OW = uitvoer (OUT) (A1-6)

D6 = I/OR = invoer (INP) (A1-7)

$\overline{D7} \cdot D3 = \overline{INTA} = \text{processor in interrupt modus (A1-8)}$

Het bussignaal  $\overline{INTA}$  is rechtstreeks afgenomen van deze "bus-besturingseenheid", terwijl de signalen  $\overline{I/O}$  en  $\overline{MEM}$  een afgeleide zijn:

$$\overline{I/O} = \overline{I/OR} \cdot \overline{I/OW} \quad (A1-9)$$

d.w.z. bussignaal  $\overline{I/O}$  is actief ("0") tijdens in- of uitvoer aktie.

$$\overline{MEM} = \overline{MEMR} \cdot \overline{MEMW} + \overline{STACK} \quad (A1-10)$$

De laatste term vormt een optie.

Het geheugen toewijzingssignaal ( $\overline{MEM}$ ) is naar keuze te blokkeren (jumper Jz), zodra de processor een "stapel geheugen" lokatie aanwijst. Dit maakt het mogelijk de adresseerbare geheugen ruimte te verdubbelen en wat nog belangrijker is de mogelijkheid tot het volledig afzonderen van de stapel geheugen ruimte (zie ook § 3.2).

Tenslotte wordt het schrijf- en leesproces rechtstreeks vanuit de 8080  $\mu P$  gestuurd en wel via de bussignalen:

$$\overline{WRC} = \overline{WR} = \text{schrijfkommando} \quad (A1-11)$$

$$\overline{RDC} = \overline{DBIN} + \overline{INTA} = \text{leeskommando} \quad (A1-12)$$

d.w.z. tijdens interrupt afhandeling wordt het leessignaal (vanaf de processor) geblokkeerd.

#### A-2. Tijdsverloop van de universele bussignalen.

De eerder opgesomde verzameling bussignalen verzorgen de informatie uitwisseling tussen de systeem-onderdelen. Dit verloopt in het ritme van de processor.

In onderstaand tijdsdiagram is de opeenvolging en de afhankelijkheid van de diverse status- en stuursignalen aangegeven.

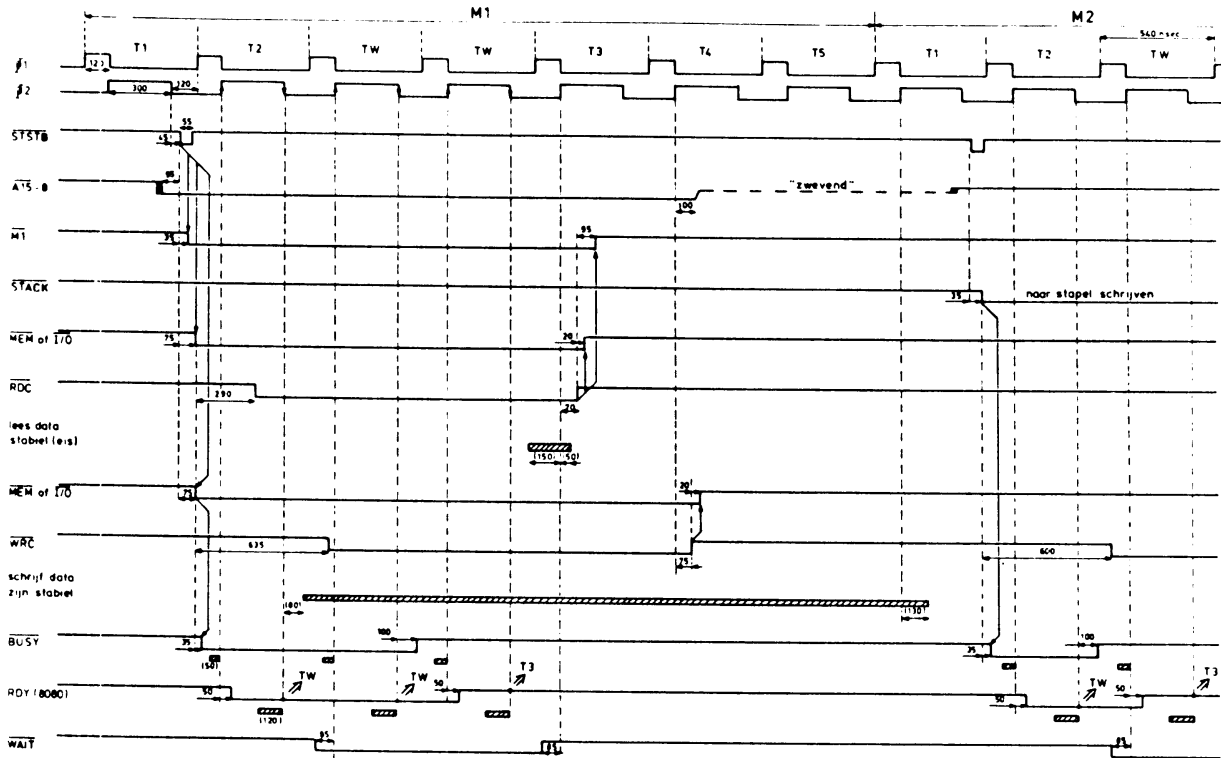


fig. A-2 Vraag en antwoordspel ("hand shake") op de universele bus.

Hieruit valt zoveel af te lezen dat het onmogelijk is dit uittend te beschrijven. De kracht van een tijdsdiagram is dan ook zijn grote informatie dichtheid.

Enkele markante punten worden hieronder aangegeven:

- het tijdsverloop van de stuursignalen is synchroon met de klok frekwentie  $\phi 2$ ;
- een stuursignaal is "aktief" of "waar" zodra het "0" = "laag" wordt;
- in iedere machine cyclus geeft de processor aan of en met wie hij wil communiceren. In de klok cyclus T1 bemonstert het "status strobe" ( $\overline{STSTB}$ ) signaal daartoe de data-uitgangen van de processor;

- een individuele lokatie wordt aangegeven door de adresbits  $\overline{A15}$  t/m  $\emptyset$ , terwijl de geldigheidsduur hiervan beperkt wordt door een van de stuursignalen  $\overline{MEM}$ ,  $\overline{I/O}$  of  $\overline{STACK}$ .  
Dit voorkomt foutieve interpretatie bij niet gelijktijdig veranderen (in T1) of zwevend zijn (in T4,5) van de adresbits;
- het schrijf- of leeskommando ( $\overline{WRC}$  resp.  $\overline{RDC}$ ) valt later in de machine cyclus en is van kortere tijdsduur.
- het merendeel van de stuursignalen wordt beëindigd door het schrijf- of leessignaal (ook  $\overline{STACK}$  en  $\overline{INTA}$ , maar  $\overline{HLTA}$  niet);
- data worden door de processor gelezen in het laatste deel van het  $\overline{RDC}$  en wel op de positieve flank van  $\emptyset$ . Vandaar de vereiste instel- en houdtijd van 150 resp. 50 nsec. t.o.v. de opgaande  $\emptyset$  flank. De maximaal toelaatbare toegangstijd van geheugen of I/O bouwsteen bedraagt daardoor: 450 nsec.;
- voor langzamer geheugens of "rand I.C.'s" moeten extra wachtcycli in eenheden  $t_w$  (= 540 nsec) worden toegevoegd; via een "wachtcyclus handshake mechanisme";
- voordat de processor tot een (lees- of schrijf) aktie overgaat, bemonstert deze eerst de ready signaal ingang. In de tweede klokcyclus wordt het RDY-signaal d.m.v. neergaande flank van  $\emptyset$  afgestast. Is dit "1" dan volgt een derde klokcyclus (T3), is dit echter "0" dan is de volgende klokcyclus een wachtttoestand ( $T_w$ ). Omdat deze signaal ingang een nogal grote insteltijd vereist (MOS-circuit), wordt het verzoek tot wachten ( $\overline{BUSY}$  vanaf geheugen- of I/O kaart) vooraf gesynchroniseerd op  $\emptyset$  (m.b.v. bipolaire klokgenerator bouwsteen Intel 8224). De processor geeft een wachtttoestand een d.m.v. het  $\overline{WAIT}$  uitgangssignaal.
- het bezet-signaal ( $\overline{BUSY}$ ) blijkt niet nodig te zijn voor Intel I/O bouwstenen, maar wel voor bepaalde typen geheugens. Op de geheugenkaart is daartoe een schuifregister aanwezig  $(0-8) \times T_w$ , zie § 2.2). Beëindiging van het bezet-signaal wordt bepaald door de negatieve flank van  $\emptyset$ , terwijl  $\overline{BUSY} := "0"$  zodra  $\overline{MEM} := "0"$ . In het eerste geval is er voldoende speelruimte (140 nsec.), terwijl de start van het bezet-signaal tijd kritischer is, nl.: 45 nsec. tolerantie.  
De vraag is dan ook of de tussenschakel (8224) weggelaten kan worden, in dat geval is, nl.: 275 nsec. voorhanden.

Een andere (inverse) oplossing vormt het opheffen van het BUSY-signaal, zoals bij de Intel Multibus toegepast is.

In het systeem is echter gekozen voor het genereren van dit signaal daar waar dat (sporadisch) nodig is.

- het tijdsdiagram in fig. A-2 is een symbolische weergave.  
Zo zijn b.v. het lezen en schrijven geen gelijktijdige akties ( $\overline{RDC} \neq \overline{WRC}$ ) en is de eerste machine cyclus (M1) per definitie een lees opdracht (nl. ophalen van de instructie).
- de tussen haakjes vermelde waarden zijn aan de technische documentatie ontleend. De overige zijn eigen tijdmetingen.

#### Kompletering van de Intel 8080 instructie set.

M.b.v. 8 bits zijn 256 verschillende opdrachten vast te leggen. Dit is echter niet het geval bij de 8 bits 8080 instructie set: er komen een aantal "illegale" bit combinaties voor, die niet als een instructie zijn gedefinieerd (ontbreken o.a. in de assembleer taal). Uit metingen bleken dit duplicaten te zijn van andere wel officiële instructies\*:

00 H*	=	NOP	C3 H*	=	7MP
08 "	=	"	CB	=	"
10 "	=	"			
18 "	=	"			
20 "	=	"			
28 "	=	"			
30 "	=	"			
38 "	=	"			
C9 H*	=	RET	CD H*	=	CALL
D9 "	=	"	DD "	=	"
			ED "	=	"
			FD "	=	"



De Zilog Z-80 kent een speciale (2 bytes) instructie voor het terugkeren vanaf een interrupt routine: RETI  $\bar{=}$ (ED - 4D)H. Deze wordt door de Z-80 opgenomen als een gewone RET-instructie, terwijl de Z-80 I/O bouwstenen deze speciale instructie ook herkennen. Dit maakt het mogelijk in elkaar verweven interrupt prioriteiten te verwerken ("nested priority interrupt handling"). De Z-80 perifere bouwstenen bezitten een efficiënt interrupt mechanisme. Om deze in ons systeem toe te kunnen passen is het o.a. nodig om de voor de Intel 8080 illegale instructie EDH-tijdens M1- om te zetten in een RET (=C9H) opdracht en de volgende byte (4DH) te vervangen door een "NOP".

APPENDIX B

"Handshake" mechanisme bij de serie-kaart (§ 3.3.).

Kommunikatie van een meetmachine met de buitenwereld dient te verlopen via een vraag- en antwoord spel ("handshake"). Hierdoor is de beschikbaarheid van instrumenten en randapparatuur te testen. Het heeft bv. weinig zin data te sturen naar een niet of verkeerd geschakelde zender. Evenzo is de data ontvangst via gestoorde verbindingen zinloos. Hieronder wordt aangegeven hoe het "handshake" mechanisme dient te verlopen tussen een data verwerkend systeem ("D.T.E. = data terminal equipment") en een modem ("D.C.E. = data communication equipment").

Dit verloopt volgens een internationale kommunikatie standaard (EIA-RS-232C of CCITT V24), waaraan een USART-8251A (Intel) alleen kan voldoen d.m.v. speciale voorzieningen. De volgende stuursignalen zijn gedefinieerd:

- 1) D.T.R. = "data terminal ready" = "connect data set te line".  
Het seriële I/O apparaat - in dit geval de USART - geeft hiermee te kennen klaar te staan voor kommunikatie. Dit signaal (op pen 24) is stuurbaar d.m.v. het kommandowoord, via bit D1. Hiermee is het seriële data transport te initiëren of te blokkeren.  
De data-terminal machtigt de modem zich met de lijn te verbinden, indien de modem ook gereed is. Dit laatste wordt aangegeven door het volgende signaal.
- 2) D.S.R. = "data set ready".  
Hiermee geeft de modem aan het data-terminal te kennen dat hij gereed is. (voeding- aan en niet in testmodus).  
Dit signaal (op pen 22) is detekteerbaar in het statuswoord van de USART, via bit D7. Hierdoor is het mogelijk voor de processor om de externe aansluiting te testen alvorens er mee te kommuniseren.
- 3) R.T.S. = "request to send"  
De seriële data leverancier geeft hiermee aan data te willen verzenden. Dit vormt een uitgangssignaal van de USART (pen 23) en is stuurbaar d.m.v. het kommando bit D5.

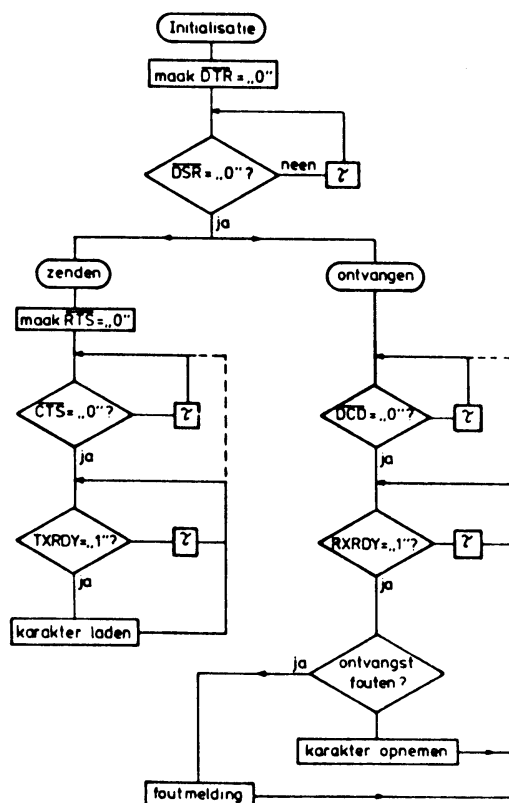
Eventueel stelt zich hierop de modem in op de zendrichting (bij halfduplex verkeer). Beëindiging van deze actie wordt teruggemeld via het CTS signaal.

4) C.T.S. = "clear to send" = "ready for sending".  
Hiermee geeft de modem (aan het data-terminal) te kennen dat er data kunnen worden verzonden. Deze signalering is aan te sluiten op de USART (pen 17), maar is niet direkt als status bit te detecteren.

5) D.C.D. = "data carrier detect" = data channel received line signal detector".  
Hiermee indiceert de modem een slechte- of afwezige lijnverbinding. Het innemen van data is alleen dan zinvol, indien de lijn kwaliteit binnen bepaalde toleranties valt.

De Intel USART 8251 A laat een status analyse van dit signaal niet rechtstreeks toe.

De handshake procedure voor zenden en ontvangen is geïllustreerd in het stroomschema van fig. B-1:



Indien (nog) niet aan een konditie voldaan wordt moet gewacht worden : τ . Dit stroomschema geeft de minimale eisen, o.a. nog op te geven: hoe lang wachten, hoeveel keren testen, wat te doen bij veelvuldige foutmelding, retransmissie etc.

Hoe kan m.b.v. "Intel USART 8251 A" voldaan worden aan stroomschema?

- Test bij zenden het TXRDY signaal (Pen 15) en niet het statusbit Do. M.b.v. een extra "parallel poort" (§ 3.4) kan dit signaal programatisch bemonsterd worden. Als uiterste simplificatie kan pen 15 door verbonden worden met pen 22 en is de beschikbaarheid van de zender controleerbaar op statusbit D7.

O.i. vormt de interrupt verwerking van het TXRDY-signaal de remedie. Verklaring volgt uit USART 8251 A logica:

Het CTS-ingangssignaal beïnvloedt wel de karakter verzending (CTS: = "0" blokkeert zender nadat zend register leeg is), beïnvloedt ook het TXRDY signaal (TXRDY-signaal = TBRE.CTS.TXEN) maar laat het TXRDY statusbit ongemoeid (TXRDY-bit = TBRE).

- Ook de data ontvangst dient gecontroleerd te worden. Bij deze I/O bouwsteen ontbreekt een pen aansluiting voor het D.C.D.-signaal. Rechtstreekse status analyse van de ontvangst is niet mogelijk. Remedie vormt ook hier weer een extra "parallel poort" (§ 3.4) of het oneigenlijk gebruik van de D.S.R. aansluiting en statusbit.

Een lijnstoring komt zelden voor, maar dan nog is het optreden onvoorspelbaar. Om deze reden verloopt de draaggolf detektie efficiënter op interrupt basis.

De besproken "handshake signalen" zijn alle aangesloten op de I/O connectoren van de serie-kaart en d.m.v. draadslingeren ("wire wrap") door te verbinden met een interrupt lijn (§ 3.7.).

APPENDIX C

"Handshake" mechanisme bij de parallel kaart (§ 3.4.)

Om tijdskritische situaties te voorkomen is het noodzakelijk het data transport tussen processor en randapparatuur te synchroniseren. Dit voorkomt het dubbel of het juist niet overnemen van informatie. D.m.v. een vraag- en antwoordspel wordt zo'n transactie in de juiste volgorde doorlopen.

Op de parallel kaart is een hoeveelheid "elektronica" extra aangebracht om een adequaat handshake mechanisme mogelijk te maken. De werking hiervan wordt beschreven aan de hand van tijdsdiagrammen. Voor de werking en symboliek van de "programmeerbare parallelle interface" 8255 A wordt verwezen naar de uitvoerige technische documentatie van Intel en van het KNMI- $\mu$ P-systeem.

De 8255-A moet voor gebruik in een vereiste toestand (modus) gebracht worden. O.a. moet aangegeven worden of er sprake zal zijn van in- of uitvoer. Gekonstateerd is dat de datalijnen van het I.C. daarop reageren, n.l. worden "1" bij invoer (zwevend) en "0" bij uitvoer programmering. Dit levert een indicatie signaal  $I/\bar{C}$ , wat gebruikt wordt om een multiplexer te sturen. Deze selekteert de "handshake" stuursignalen van en naar poort C. Hierdoor is gesynchroniseerd data transport mogelijk tussen processor en randapparaat.

Voor de data-invoer verloopt de "handshake" als volgt:

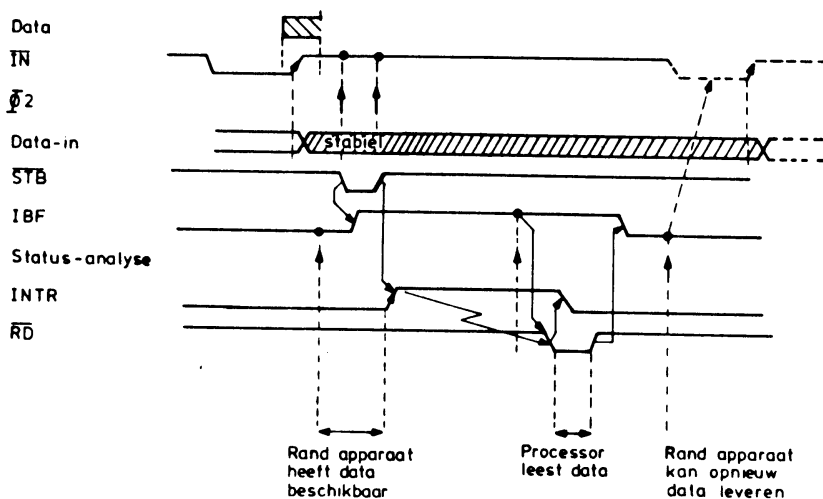


fig. C-1 Gesynchroniseerde data-invoer

Ten tijde van de opgaande flank van het  $\overline{\text{IN}}$ -signaal (gegenereerd door het randapparaat) staat informatie ter beschikking voor de processor.

De parallel-kaart elektronica genereert hierop een "data-strobe" ( $\overline{\text{STB}}$ ) signaal. Hierdoor wordt de aangeboden informatie overgenomen in de P.P.I. Dit wordt aan de processor gemeld door het status-signaal en status-bit IBF d.i. "input buffer full".

Tevens wordt een "interrupt" signaal (en status bit) gevormd: INTR. Hierop kan de processor de aangeboden data innemen: RD = lees-signaal vanaf  $\mu\text{P}$ .

De data-uitvoer is op overeenkomstige wijze te regelen:

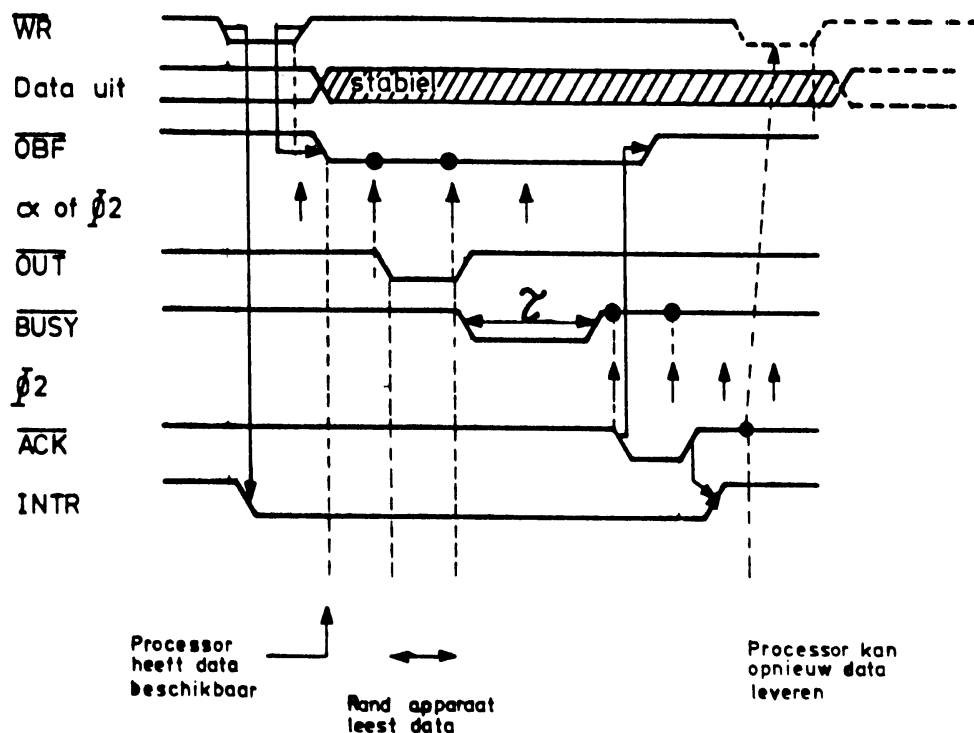


fig. C-2. Gesynchroniseerde data uitvoer.

De processor levert informatie naar de P.P.I. op het schrijf kommando ( $\overline{WR}$ ). De I/O bouwsteen reageert met de melding  $\overline{O.B.F.}$  = "output buffer full". De "handshake elektronica" vormt een puls  $\overline{OUT}$ .

Hierop kan het aangesloten randapparaat gestart worden om de afgeleverde informatie op te nemen (b.v. printer start d.m.v. "punch instruction").

Het randapparaat wordt bezet ( $\overline{BUSY}$ ) en op beëindiging hiervan wordt een "bevestiging van ontvangst" ("acknowledge") naar de P.P.I. teruggestuurd. Ook dit laatste wordt automatisch door de "handshake elektronica" verzorgd. ( $\overline{ACK}$  = 540 nsec breed). Als gevolg hiervan wordt  $\overline{OBF}$  := "1" = ongeldig en het "interrupt" signaal (en status bit) vanaf de P.P.I. actief. Hierop kan de processor weer data naar de I/O bouwsteen afgeven.

Dit data transport kan weer op afvraag -- dan wel op interrupt basis gestuurd worden.

De exacte nummering van status-bits en stuursignalen is te vinden in de uitvoerige Intel dokumentatie.

Hierboven is aangegeven hoe het "handshake" mechanisme van de parallel-kaart in zijn werk gaat. De extra "apparatuur" (elektronica op de kaart) is niet te vervangen door programmatuur, tenzij het "handshake" mechanisme over boord wordt gezet. In dat geval heeft bv. het loskoppelen van de data consument geen blokkering van de data stroom tengevolge.

De "logica in de elektronica" is zodanig dat open lijnen als niet-actieve stuursignalen worden geïnterpreteerd (weerstand aan + 5V).



APPENDIX D

Besturing van de teller-kaart (§ 2.6).

Het laden van de "presettable" teller Intel 8253 verloopt als volgt:

- na voedingsinschakeling en kommando laden staan de tellers op een willekeurige stand,
- de aangeboden "preset" waarde wordt bij het schrijven naar deze bouwsteen niet direkt in het telregister geladen, maar in een extra "latch" register,
- op een daarop volgende negatieve klokpuls flank neemt de teller de "preset" waarde over,
- dit blijkt onafhankelijk van de konditie op de blokkeer/de blokkeeringang ("gate").

Deze eigenschap kan problemen opleveren in die situatie waarbij vermeende telpulsen afwezig blijven (in het middelings interval): de toevallig aanwezige tellerstand wordt onterecht als meetresultaat geïnterpreteerd.

Remedie hierop vormt het "kunstmatig" opwekken van een eerste klokpuls. Bv. door het toepassen van een extra voordeler (nodig bij hoge puls frekwentie en lange middelings tijden). De uitgang van deze voordeler wordt daarbij doorverbonden met de telingang van de volgende teller. Een eerste gelijkzetspuls is nu te genereren door de voordeler achtereenvolgens in modus 4 (uitgang: = "1"), modus 0 (uitgang: = "0") en tenslotte in modus 2 of 3 (voordeler funktie) te programmeren/sturen.

Ook het uitlezen van een teller vereist een zekere beveiliging. Een a-synchrone ("ripple") teller heeft een bepaalde tijd nodig om zijn nieuwe waarde in te stellen. Dit als reactie op een ontvangen telpuls (8253 = "down-counter"). Daarbij verandert bit na bit. Er kunnen daarom tussentoestanden optreden, bv. de overgang van teller stand 8 naar 7 verloopt via 9, B en F. Valt nu een leesopdracht precies tijdens dit (sekwentiële) veranderingsproces dan kunnen foutieve waarden gevonden worden. Een remedie hierop vormt o.a. het overnemen van de teller stand in een extra "latch" register binnen de P.I.T.

Tijdens deze "vergrendeling" blijkt de tellerstand bevroren te zijn. Ook is gekonstateerd dat de tellerstand niet op een tellerpuls reageert tijdens het schrijven van een kommando naar de P.I.T. Dit leidt tot de konklusie dat tijdens de kommando schrijfpuls er een interne blokkering van de teller moet optreden en dat op de achterflank de tellerstand wordt gekopieerd in het "latch" register.

Metingen hebben aangetoond dat:

- het omslagpunt waarop de teller wel of niet meer reageert op de klokingang (neg. flank) ligt op  $\approx 50$  nsec. voor de opgaande flank van de kommando schrijfpuls,
- het omslagpunt waarop de directe uitlezing van de teller fout kan gaan ligt op  $100 \pm 5$  nsec na de aktieve (neg.)flank van de telpuls.

APPENDIX E

"Handshake" bij de interrupt kaart, § 2.7.

Het onderbreken van het lopende programma en springen naar een interrupt subroutine verloopt via een bepaald vraag- en antwoordspel ("handshake"). Vanwege het grote belang dat aan het interrupt mechanisme gehecht wordt, wordt dit in meer detail besproken.

Een randapparaat kan om een aktie (afhandeling) van de processor vragen d.m.v. een interrupt verzoek aan de processor (INT). Deze reageert hierop met een bevestiging (INTA) en wel na beëindiging van de in uitvoering zijnde instructie en indien het interrupt mechanisme (binnen de processor) is vrijgemaakt.

D.m.v. het INTA-sigitaal vraagt de processor aan het randapparaat wat er van zijn gading is: een interrupt instructie kan aangeboden worden. In principe elke willekeurige opdracht uit het instructie repertoire van de processor is geldig.

Bedoeling is echter een sprong opdracht: "RST 0 t/m 7" of "CALL-address".

De eerste groep wordt door enkel bytes instructies gevormd en kan door één INTA opgehaald worden. Voor de CALL-opdracht zijn echter 3 byte's nodig en dus 3 INTA-signalen.

Een speciale besturingseenheid ("bus controller" Intel 8238) genereert deze stuur signaal pulsen.

De 3 byte's sprong opdracht wordt o.a. geleverd door de "programable interrupt controller" (P.I.C., Intel 8255 A).

Deze regelt 8 interrupt verzoeken (I.R. = interrupt request) en geeft deze na selectie door naar de processor (INT). O.a. is prioriteits volgorde, maskering en sprongadres vooraf programatisch vast te leggen.

Indien meer dan 8 interrupts in een systeem nodig zijn, worden de "interrupt controllers" in een meester/slaaf combinatie toegepast.

Op iedere interrupt ingang van de "meester" kan een slaaf aangesloten worden. Maximaal kunnen dan  $8 \times 8 = 64$  interrupts, in een bepaalde prioriteits volgorde verwerkt worden.

De interrupt afhandeling gebeurt als volgt:

- op een van de slaven wordt een interrupt signaal actief (IR-x),
- indien geen hogere prioriteitsinterrupt (binnen de slaaf) in behandeling is zal dit verzoek doorgegeven worden aan de meester,
- mits ook daar geen blokkering optreedt (of via programma of via hogere prioriteitsaanvraag) zal het verzoek tot programma onderbreking aan de processor worden medegedeeld (INT),
- deze reageert (wederom alweer indien vrij) met een interrupt bevestiging, in de vorm van 3 INTA pulsen,
- op de eerste INTA zendt de meester de instructie CALL op de bus en na afloop hiervan wordt de slaaf aangewezen die om onderbreking verzocht (dit d.m.v. cascade adres lijnen),
- de geadresseerde slaaf zal op de 2e en 3e INTA puls het vektor adres genereren overeenkomstig de actieve IR-x ingang.

Deze actie verloopt in de tijd, zoals hieronder aangegeven is:

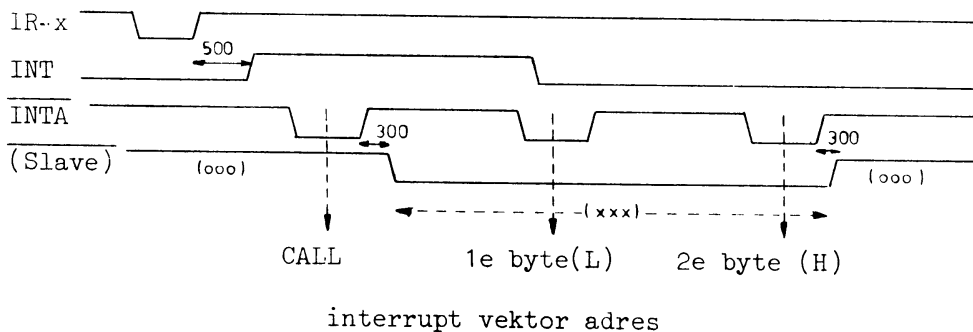


fig. E-1 Signaal volgorde bij de interrupt afhandeling

De "meester" interrupt controller wijst in twee situaties de "slaaf  $\emptyset$ " aan:

- in rust toestand d.w.z. geen IR-ingang actief
- " bedrijfs toestand zodra IR- $\emptyset$  " " "

Dit betekent dat "slaaf  $\emptyset$ " alleen dan op de "meester" mag worden aangesloten indien alle andere IR-ingangen hiervan reeds bezet zijn.

Zoals in App. A is opgemerkt vertoont het KNMI- $\mu$ P-systeem een zelfde "bus-concept" als door de firma "Zilog" gevoerd wordt. Dat houdt in dat I/O bouwstenen van dit merk op dit systeem aan te sluiten zijn. Dit is hier van belang omdat deze bouwstenen meer "handshake" en "interrupt" faciliteiten bezitten.

De "Zilog" I/O bouwstenen indiceren nl. zelf een gedeelte van het begin adres van de interrupt routine, in het "low order address byte".

Als voorbeeld: de seriële I/O bouwsteen (S.I.O.) genereert een interrupt op beide logische niveau overgangen van het CTS-sigitaal (klaar voor zenden, zie App. B). Een indicatie voor wat er gebeurt is wordt gegeven in het uitgezonden vektor adres.

Deze informatie wordt door de "Zilog" I/O bouwsteen op de databus aangeboden op ontvangst van een interrupt bevestigingssigitaal. (INTA).

In het KNMI- $\mu$ P-systeem is van deze eigenschap gebruik te maken. Daartoe dient een koderingsschakeling voor het 2e INTA sigitaal gerealiseerd te worden. Dit is te ontwerpen m.b.v. fig. E-1, nl. een unieke combinatie van de signalen INT, INTA en slave (NAND-functie). Tijdens deze 2e INTA puls dient de interruptkaart geblokkeerd en de "Zilog" I/O bouwsteen geactiveerd te worden.

APPENDIX F

Het digitale "phase lock loop" regel systeem op de cassette-recorder stuurkaart (§ 3.8).

Dit is nodig om variaties in bandsnelheid en onderlinge verschillen tussen (diverse) type cassette-recorders op te vangen. De modulatie methode van de magnetisatie maakt 't nl. mogelijk een leesklok uit het informatie signaal te genereren: "klok extractie".

Aan de hand van een blokschema en toestandsdiagram wordt een korte beschrijving van dit regelsysteem gegeven:

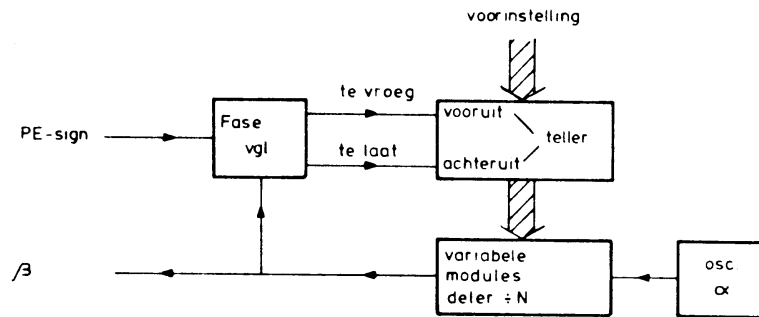


fig. F-1. Ditigale "phase locked loop" regelbus.

Een stabiele (kwarts) oscillator ( $\alpha = 8,295$  MHz) levert via een instelbare deler ( $0 < N < 256$ ) een variabele uitgangsfrequentie ( $\beta = \alpha/N$ ).

De klokpuls  $\beta$  stuurt een "bittijd deler", die het onderstaande toestandsdiagram doorloopt:

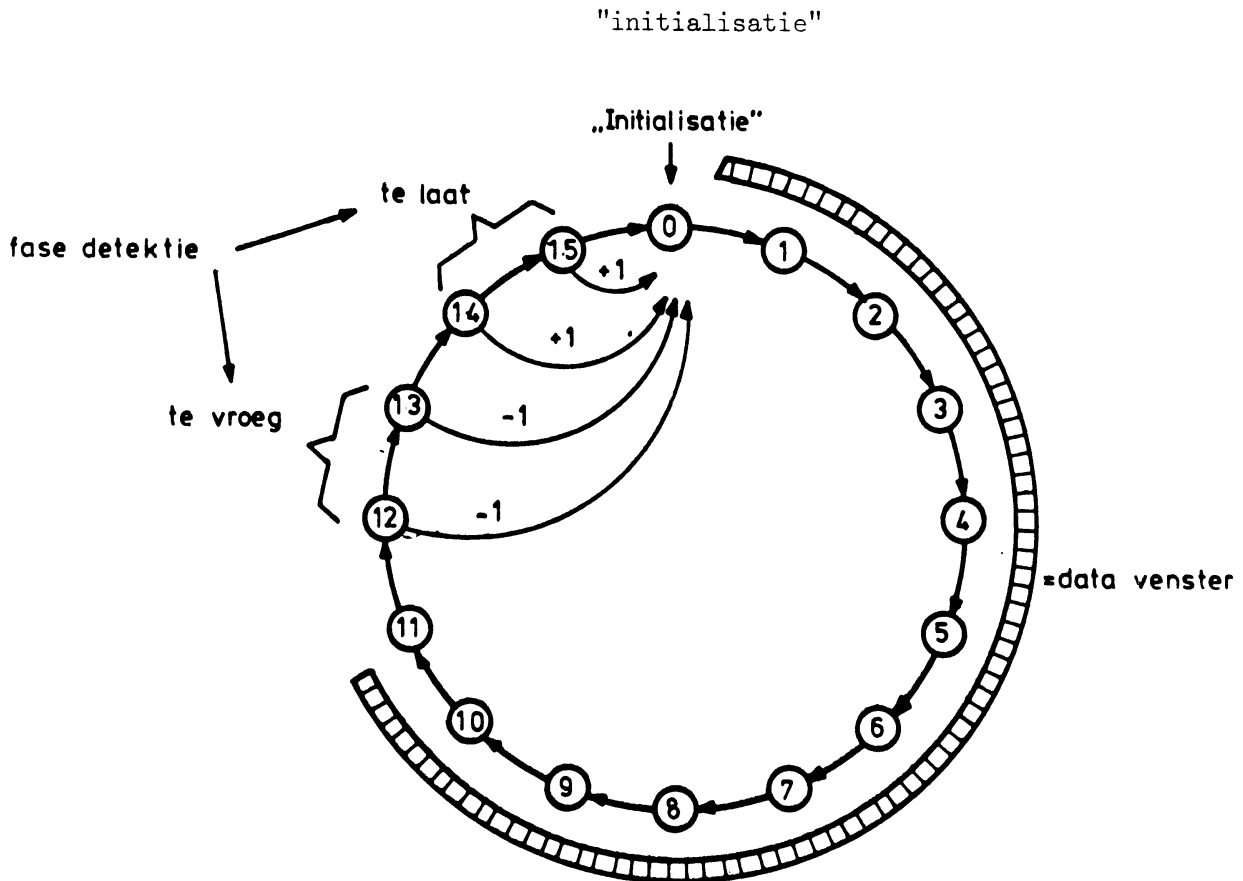


fig. F-2. Bij regeling lees klok binnen een bitcel periode d.m.v. fase vergelijking.

De bittijd deler vormt een onderdeel van de fase vergelijker : in een geselecteerd gedeelte van de bitcel-tijd wordt de fase van het magnetisatie signaal bekeken, zie ook fig. 3.8.2. In driekwart gedeelte van de bitcel periode wordt de flank detektie -afkomstig van (onbelangrijke) magnetisatie flux wisselingen- geblokkeerd d.m.v. een data venster. In het laatste gedeelte vindt bij-regeling plaats m.b.v. de gedetekteerde flux wisseling, en wel:

- de fase, doordat de bittijd deler naar zijn begin positie wordt teruggebracht;

- de frekwentie, doordat er daarbij getest wordt op te vroege- of te late flanken t.o.v. de bitcel.

De bittijd deler wordt normaliter met een frekwentie  $\beta$  doorlopen, terwijl de fase vergelijkingen met een hogere frekwentie  $\alpha$  optreden ( $\alpha = N \cdot \beta$ ).

De aktuele deelwaarde  $N$  wordt geleverd door een vooruit/achteruit teller. Deze verandert afhankelijk van het resultaat van de fase vergelijking, en wel:

- een decrement, indien de flux wisseling te vroeg optreedt,
- een increment, indien de flux wisseling te laat optreedt.

Dit betekent dat de uitgangsfrekwentie van het regelsysteem per periode kan veranderen. Zodra het regelsysteem "in evenwicht" is zal de bitcel deler afwisselend 14 of 15 toestanden doorlopen.

De gemiddelde bitsnelheid ( $\gamma = 1/t_b$ ) is dan:

$\gamma = \beta/14,5$ . De nominale bitsnelheid is het produkt van:

- de gespecificeerde bitdichtheid bij schrijven ( $b$ ),
- de gespecificeerde bandsnelheid bij lezen ( $v$ ).

Alles te samen levert dit een nominale deelwaarde  $N_{\text{nom.}}$ , die vooraf aan het regelsysteem wordt aangeboden (voor-instelling d.m.v. parallel poort, § 3.8.).

Deze waarde bedraagt:

$$N_{\text{nom.}} \approx \frac{\alpha}{14,5 \cdot b \cdot v_{\text{nom.}}} \quad (\text{F-1}).$$

Als voorbeeld nemen wij de aansluiting van een "TEAC-cassette deck" aan de cassette stuurkaart:

$$\begin{array}{l} \alpha = 8,295 \text{ MHz} \\ b = 800 \text{ bpi} = 32 \text{ bits/mm.} \\ V_{\text{nom.}} = 15 \text{ ips} = 381 \text{ mm/sec.} \end{array} \quad \left. \vphantom{\begin{array}{l} \alpha \\ b \\ V_{\text{nom.}} \end{array}} \right\} N_{\text{nom.}} = 45.$$

Uit metingen blijkt dat de bandsnelheid tussen 5 en 70 cm/sec. te variëren is zonder dat leesfouten optreden. Dit snelheids-traject mag in minimaal 12,5 msec. worden doorlopen.



Door het "phase lock loop" regelsysteem wordt de plaats en de breedte van het datavenster aangepast aan het gelezen signaal. Dit geeft de zekerheid dat niet significante flux wisselingen, geblokkeerd blijven, ook bij tussentijdse bandsnelheid variaties. Uit het tijdsdiagram (fig. F-2) kunnen in principe de tijd kritische signalen afgeleid worden voor de "cassette controller" (S.G, DO en GAP, zie § 3.8). Deze zijn op de cassette stuurkaart afgeleid van programmeerbare delers, die geklokt worden door  $f_{DPLL} = \beta$ .

De stuurschakeling is zodanig dat tijdens een blokkiaat:

- de bitcel deler vastgehouden wordt op zijn begin toestand.
- de uitgangsfrequentie van het regelsysteem constant blijft.

LITERATUUR

De micro-processor (micro-electronica) is nu een massa\_artikel.  
Vele publikaties verschijnen over dit onderwerp.  
Wij beperken ons tot de veelvuldig gehanteerde handleidingen.

Intel produkten dokumentatie:

1. 8080 Micro computer System User's Manual (vanaf Sept. '75 diverse edities)
2. Peripharaal Design Handbook (April '78)
3. 8080 Assembly language Programming Manual

Meer uitleg is te vinden in:

4. Osborn - An introduction to micro-computer vol 1, 2 (Syber 1976)
5. Osborn - 8080 programming for logic design (Syber 1976)

Nederlands\_talige handleidingen:

6. M.P.J. Stevens en B. Veldstra,  
basiscursus micro-processoren (Inelco 1976)
7. A.C.G. van Strien - Dr. Neher laboratorium,  
cursus micro-processoren (Leidschendam '79)
8. J. Wilmink - Micro-processor  
Interfacing (THT- '78)

Beschrijving van een Intel 8008, 8080 systeem:

- 9 L.A. van Bokhoven, W.W.M. Scheepens -  
Sys 8000 micro-processor systeem (THE, febr. 1976).